

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2005/022901

International filing date: 07 December 2005 (07.12.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-360636  
Filing date: 13 December 2004 (13.12.2004)

Date of receipt at the International Bureau: 19 January 2006 (19.01.2006)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 4 年 1 2 月 1 3 日

出 願 番 号  
Application Number: 特 願 2 0 0 4 - 3 6 0 6 3 6

パリ条約による外国への出願  
に用いる優先権の主張の基礎  
となる出願の国コードと出願  
番号

The country code and number  
of your priority application,  
to be used for filing abroad  
under the Paris Convention, is

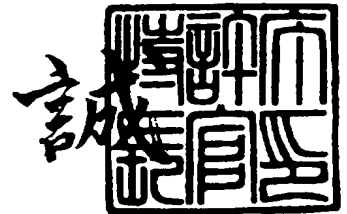
J P 2 0 0 4 - 3 6 0 6 3 6

出 願 人  
Applicant(s): 株式会社半導体エネルギー研究所

2 0 0 5 年 1 2 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

中 嶋



【書類名】	特許願
【整理番号】	P008428
【提出日】	平成16年12月13日
【あて先】	特許庁長官 殿
【発明者】	
【住所又は居所】	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】	納 光明
【発明者】	
【住所又は居所】	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】	岩淵 友幸
【発明者】	
【住所又は居所】	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】	木村 肇
【特許出願人】	
【識別番号】	000153878
【氏名又は名称】	株式会社半導体エネルギー研究所
【代表者】	山崎 舜平
【手数料の表示】	
【予納台帳番号】	002543
【納付金額】	16,000円
【提出物件の目録】	
【物件名】	特許請求の範囲 Ⅰ
【物件名】	明細書 Ⅰ
【物件名】	図面 Ⅰ
【物件名】	要約書 Ⅰ

【書類名】 特許請求の範囲

【請求項 1】

直列に接続された第 1 のトランジスタ、第 2 のトランジスタ及び第 3 のトランジスタと、  
電位生成回路を有し、  
前記第 1 のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、  
前記第 3 のトランジスタのゲート電極は、前記電位生成回路に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の一方は、前記第 2 のトランジスタのソース電極及びドレイン電極の一方に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続され、  
前記第 1 のトランジスタのゲート電極と前記第 2 のトランジスタのゲート電極に信号が入力されると、前記第 1 のトランジスタのソース電極及びドレイン電極の他方と前記第 2 のトランジスタのソース電極及びドレイン電極の一方から信号を出力することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、前記第 1 のトランジスタは P 型トランジスタであり、前記第 2 のトランジスタは N 型トランジスタであり、前記第 3 のトランジスタは P 型トランジスタであることを特徴とする半導体装置。

【請求項 3】

直列に接続された第 1 のトランジスタ、第 2 のトランジスタ及び第 3 のトランジスタと、  
電位生成回路を有し、  
前記第 2 のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、  
前記第 3 のトランジスタのゲート電極は、前記電位生成回路に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の一方は、前記第 1 のトランジスタのソース電極及びドレイン電極の一方に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続され、  
前記第 1 のトランジスタのゲート電極と前記第 2 のトランジスタのゲート電極に信号が入力されると、前記第 1 のトランジスタのソース電極及びドレイン電極の一方と前記第 2 のトランジスタのソース電極及びドレイン電極の他方から信号を出力することを特徴とする半導体装置。

【請求項 4】

請求項 3 において、前記第 1 のトランジスタは P 型トランジスタであり、前記第 2 のトランジスタは N 型トランジスタであり、前記第 3 のトランジスタは N 型トランジスタであることを特徴とする半導体装置。

【請求項 5】

直列に接続された第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ及び第 4 のトランジスタと、電位生成回路を有し、  
前記第 3 のトランジスタのゲート電極と前記第 4 のトランジスタのゲート電極は、前記電位生成回路に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の一方は、前記第 2 のトランジスタのソース電極及びドレイン電極の一方に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続され、  
前記第 4 のトランジスタのソース電極及びドレイン電極の一方は、前記第 1 のトランジスタのソース電極及びドレイン電極の一方に接続され、  
前記第 4 のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続され、

前記第 1 のトランジスタのゲート電極と前記第 2 のトランジスタのゲート電極に信号が入力されると、前記第 1 のトランジスタのソース電極及びドレイン電極の他方と前記第 2 のトランジスタのソース電極及びドレイン電極の他方から信号を出力することを特徴とする半導体装置。

【請求項 6】

請求項 5 において、前記第 1 のトランジスタは P 型トランジスタであり、前記第 2 のトランジスタは N 型トランジスタであり、前記第 3 のトランジスタは P 型トランジスタであり、前記第 4 のトランジスタは N 型トランジスタであることを特徴とする半導体装置。

【請求項 7】

直列に接続された第 1 のトランジスタ及び第 2 のトランジスタと、直列に接続された第 3 のトランジスタ及び第 4 のトランジスタと、電位生成回路を有し、  
前記第 1 のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、  
前記第 2 のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、  
前記第 2 のトランジスタのゲート電極は、前記第 3 のトランジスタのソース電極及びドレイン電極の一方と前記第 4 のトランジスタのソース電極及びドレイン電極の一方に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続され、  
前記第 4 のトランジスタのソース電極及びドレイン電極の他方は、電位生成回路に接続され、  
前記第 1 のトランジスタのゲート電極と前記第 3 のトランジスタのゲート電極と前記第 4 のトランジスタのゲート電極に信号が入力されると、前記第 1 のトランジスタのソース電極及びドレイン電極の他方と前記第 2 のトランジスタのソース電極及びドレイン電極の他方から信号を出力することを特徴とする半導体装置。

【請求項 8】

請求項 7 において、前記第 1 のトランジスタは P 型トランジスタであり、前記第 2 のトランジスタは P 型トランジスタであり、前記第 3 のトランジスタは P 型トランジスタであり、前記第 4 のトランジスタは N 型トランジスタであることを特徴とする半導体装置。

【請求項 9】

直列に接続された第 1 のトランジスタ及び第 2 のトランジスタと、直列に接続された第 3 のトランジスタ及び第 4 のトランジスタと、電位生成回路を有し、  
前記第 1 のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、  
前記第 2 のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、  
前記第 1 のトランジスタのゲート電極は、前記第 3 のトランジスタのソース電極及びドレイン電極の一方と前記第 4 のトランジスタのソース電極及びドレイン電極の一方に接続され、  
前記第 3 のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続され、  
前記第 4 のトランジスタのソース電極及びドレイン電極の他方は、電位生成回路に接続され、  
前記第 1 のトランジスタのゲート電極と前記第 3 のトランジスタのゲート電極と前記第 4 のトランジスタのゲート電極に信号が入力されると、前記第 1 のトランジスタのソース電極及びドレイン電極の他方と前記第 2 のトランジスタのソース電極及びドレイン電極の他方から信号を出力することを特徴とする半導体装置。

【請求項 10】

請求項 9 において、前記第 1 のトランジスタは N 型トランジスタであり、前記第 2 のトランジスタは P 型トランジスタであり、前記第 3 のトランジスタは P 型トランジスタであり、前記第 4 のトランジスタは N 型トランジスタであることを特徴とする半導体装置。

ンジスタはN型トランジスタであり、前記第3のトランジスタはN型トランジスタであり、前記第4のトランジスタはP型トランジスタであることを特徴とする半導体装置。

【請求項11】

直列に接続された第1のトランジスタ及び第2のトランジスタと、直列に接続された第3のトランジスタ及び第4のトランジスタと、直列に接続された第5のトランジスタ及び第6のトランジスタと、電位生成回路を有し、

前記第1のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、

前記第2のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、

前記第2のトランジスタのゲート電極は、前記第3のトランジスタのソース電極及びドレイン電極の一方と前記第4のトランジスタのソース電極及びドレイン電極の一方に接続され、

前記第3のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続され、

前記第4のトランジスタのソース電極及びドレイン電極の他方は、前記電位生成回路に接続され、

前記第1のトランジスタのゲート電極は、前記第5のトランジスタのソース電極及びドレイン電極の一方と前記第6のトランジスタのソース電極及びドレイン電極の一方に接続され、

前記第5のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続され、

前記第6のトランジスタのソース電極及びドレイン電極の他方は、前記電位生成回路に接続され、

前記第3のトランジスタ乃至前記第6のトランジスタのゲート電極に信号が入力されると、前記第1のトランジスタのソース電極及びドレイン電極の他方と前記第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力することを特徴とする半導体装置。

【請求項12】

請求項11において、前記第1のトランジスタはN型トランジスタであり、前記第2のトランジスタはP型トランジスタであり、前記第3のトランジスタはP型トランジスタであり、前記第4のトランジスタはN型トランジスタであり、前記第5のトランジスタはN型トランジスタであり、前記第6のトランジスタはP型トランジスタであることを特徴とする半導体装置。

【請求項13】

直列に接続された第1のトランジスタ及び第2のトランジスタと、1つ又は複数の減算用トランジスタを含む減算回路を有し、

前記第1のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、

前記減算回路は、前記第2のトランジスタのソース電極及びドレイン電極の一方と低電位電源の間に設けられ、

前記減算用トランジスタのゲート電極は、前記減算用トランジスタのドレイン電極に接続され、

前記第1のトランジスタのゲート電極と前記第2のトランジスタのゲート電極に信号が入力されると、前記第1のトランジスタのソース電極及びドレイン電極の一方と前記第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力することを特徴とする半導体装置。

【請求項14】

請求項13において、前記第1のトランジスタはP型トランジスタであり、前記第2のトランジスタはN型トランジスタであり、前記減算用トランジスタはN型トランジスタであ

ることを特徴とする半導体装置。

【請求項 15】

直列に接続された第1のトランジスタ及び第2のトランジスタと、1つ又は複数の減算用トランジスタを含む減算回路を有し、

前記第2のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、

前記減算回路は、前記第1のトランジスタのソース電極及びドレイン電極の一方と高電位電源の間に設けられ、

前記減算用トランジスタのゲート電極は、前記減算用トランジスタのドレイン電極に接続され、

前記第1のトランジスタのゲート電極と前記第2のトランジスタのゲート電極に信号が入力されると、前記第1のトランジスタのソース電極及びドレイン電極の他方と前記第2のトランジスタのソース電極及びドレイン電極の一方から信号を出力することを特徴とする半導体装置。

【請求項 16】

請求項 15 において、前記第1のトランジスタはP型トランジスタであり、前記第2のトランジスタはN型トランジスタであり、前記減算用トランジスタはP型トランジスタであることを特徴とする半導体装置。

【請求項 17】

直列に接続された第1のトランジスタ及び第2のトランジスタと、1つ又は複数の第1の減算用トランジスタを含む第1の減算回路と、1つ又は複数の第2の減算用トランジスタを含む第2の減算回路を有し、

前記第1の減算回路は、前記第1のトランジスタのソース電極及びドレイン電極の一方と低電位電源の間に設けられ、

前記第2の減算回路は、前記第2のトランジスタのソース電極及びドレイン電極の一方と高電位電源の間に設けられ、

前記減算用トランジスタのゲート電極は、前記減算用トランジスタのドレイン電極に接続され、

前記第1のトランジスタのゲート電極と前記第2のトランジスタのゲート電極に信号が入力されると、前記第1のトランジスタのソース電極及びドレイン電極の一方と前記第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力することを特徴とする半導体装置。

【請求項 18】

請求項 17 において、前記第1のトランジスタはP型トランジスタであり、前記第2のトランジスタはN型トランジスタであり、前記第1の減算用トランジスタはN型トランジスタであり、前記第2の減算用トランジスタはP型トランジスタであることを特徴とする半導体装置。

【請求項 19】

請求項 1 乃至請求項 12 のいずれか一項において、

前記電位生成回路は、第1のスイッチ、第2のスイッチ、第1の容量素子、第2の容量素子及びバッファアンプを有し、

前記第1のスイッチの一方のノードは、電位生成用電源に接続され、

前記第1のスイッチの他方のノードは、前記第2のスイッチの一方のノードと前記第1の容量素子の一方のノードに接続され、

前記第2のスイッチの他方のノードは、前記第2の容量素子の一方のノードと前記バッファアンプの入力端子に接続され、

前記第2の容量素子の他方の端子は、低電位電源に接続され、

前記第1の容量素子の他方のノードに減算用信号が入力されると、前記バッファアンプの出力ノードから、前記電位生成用電源の電位から前記減算用信号の電位を減算した電位を出力することを特徴とする半導体装置。

【請求項 20】

請求項 1 乃至請求項 12 のいずれか一項において、  
前記電位生成回路は、直列に接続された複数の抵抗素子を有し、  
前記複数の抵抗素子の一端は、前記高電位電源に接続され、  
前記複数の抵抗素子の他端は、前記低電位電源に接続され、  
前記複数の抵抗素子から選択された 2 つの抵抗素子の接続点から、電位を出力することを特徴とする半導体装置。

【請求項 21】

請求項 1 乃至請求項 20 のいずれか一項に記載の半導体装置を用いた電子機器。



【書類名】明細書

【発明の名称】半導体装置、電子機器

【技術分野】

【0001】

本発明は、入力ノードと出力ノードを有し、入力ノードに信号が入力されると、出力ノードから信号を出力する半導体装置に関する。また、複数のトランジスタを含む半導体装置に関する。

【背景技術】

【0002】

近年、あらゆる電子機器に半導体装置が利用されるようになり、半導体装置の開発が活発に進められている。半導体装置の一つに、ソースドライバ101、ゲートドライバ106及び画素110を有するものがある（図20（A）参照、例えば、特許文献1参照）。

【特許文献1】特開2004-126513号公報 図12、図13

【0003】

ソースドライバ101が含む信号出力回路10は、高電位電源（VDD1）と低電位電源（VSS1）から電位が供給されている。また、ソースドライバ101が含む信号出力回路10は、入力ノードと出力ノードを有し、入力ノードに信号が入力されると、出力ノードからVDD1又はVSS1と同電位の信号を出力する。信号出力回路10から出力された信号は、ソース線とN型トランジスタ112を介して、P型トランジスタ113に入力され、当該P型トランジスタ113はオン又はオフになる。

【0004】

ゲートドライバ106が含む信号出力回路10は、高電位電源（VDD2）と低電位電源（VSS2）から電位が供給されている。また、ゲートドライバ106が含む信号出力回路10は、入力ノードと出力ノードを有し、入力ノードに信号が入力されると、出力ノードからVDD2又はVSS2と同電位の信号を出力する。信号出力回路10から出力された信号は、ゲート線を介して、N型トランジスタ112に入力され、当該N型トランジスタ112はオン又はオフになる。

【0005】

ソースドライバ101が含む信号出力回路10の出力ノードに接続するソース線の電位は、VDD1又はVSS1の電位に交互に変わる（図20（B）参照）。また、ゲートドライバ106が含む信号出力回路10の出力ノードに接続するゲート線の電位は、VDD2又はVSS2の電位に交互に変わる。

【発明の開示】

【発明が解決しようとする課題】

【0006】

一般的に、高電位電源と低電位電源の電位差は大きく、例えば、VDD1は10V、VSS1は0Vであり、その電位差は10Vである。また、VDD2は12V、VSS2は-2Vであり、その電位差は14Vである。VDD1とVSS1の電位差、VDD2とVSS2の電位差が大きいと、その分、ソース線とゲート線の充放電に伴う消費電力は増加してしまう。

【0007】

また、階調を表現するために時間階調法を用いた場合、1フレーム期間を複数のサブフレーム期間に分割し、各サブフレーム期間において、ソース線とゲート線を充放電する。つまり、時間階調法を用いると、ソース線とゲート線を充放電する回数が増加し、消費電力はさらに増加してしまう。

【0008】

そこで、本発明は、ソース線とゲート線の充放電に伴う消費電力を低減することができる半導体装置を提供することを課題とする。

【課題を解決するための手段】

【0009】

本発明の半導体装置は、高電位電源と低電位電源から電位が供給されており、なおかつ、入力ノードと出力ノードを有し、入力ノードに信号が入力されると、出力ノードから第1の電位の信号と第2の電位の信号を出力する。本発明は、第1の電位の信号と第2の電位の信号の電位差を、高電位電源と低電位電源の電位差よりも小さくすることにより、消費電力を低減する。

#### 【0010】

本発明の半導体装置は、直列に接続された第1のトランジスタ、第2のトランジスタ及び第3のトランジスタと、電位生成回路を有する。第1のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、第3のトランジスタのゲート電極は、電位生成回路に接続され、第3のトランジスタのソース電極及びドレイン電極の一方は、第2のトランジスタのソース電極及びドレイン電極の一方に接続され、第3のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続されている。そして、第1のトランジスタのゲート電極と第2のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の他方と第2のトランジスタのソース電極及びドレイン電極の一方から信号を出力する。

上記構成において、第1のトランジスタはP型トランジスタであり、第2のトランジスタはN型トランジスタであり、第3のトランジスタはP型トランジスタである。

#### 【0011】

本発明の半導体装置は、直列に接続された第1のトランジスタ、第2のトランジスタ及び第3のトランジスタと、電位生成回路を有する。第2のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、第3のトランジスタのゲート電極は、電位生成回路に接続され、第3のトランジスタのソース電極及びドレイン電極の一方は、第1のトランジスタのソース電極及びドレイン電極の一方に接続され、第3のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続されている。第1のトランジスタのゲート電極と第2のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の一方と第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力する。

上記構成において、第1のトランジスタはP型トランジスタであり、第2のトランジスタはN型トランジスタであり、第3のトランジスタはN型トランジスタである。

#### 【0012】

本発明の半導体装置は、直列に接続された第1のトランジスタ、第2のトランジスタ、第3のトランジスタ及び第4のトランジスタと、電位生成回路を有する。第3のトランジスタのゲート電極と第4のトランジスタのゲート電極は、電位生成回路に接続され、第3のトランジスタのソース電極及びドレイン電極の一方は、第2のトランジスタのソース電極及びドレイン電極の一方に接続され、第3のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続されている。第4のトランジスタのソース電極及びドレイン電極の一方は、第1のトランジスタのソース電極及びドレイン電極の一方に接続され、第4のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続されている。第1のトランジスタのゲート電極と第2のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の他方と第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力する。

上記構成において、第1のトランジスタはP型トランジスタであり、第2のトランジスタはN型トランジスタであり、第3のトランジスタはP型トランジスタであり、第4のトランジスタはN型トランジスタである。

#### 【0013】

本発明の半導体装置は、直列に接続された第1のトランジスタ及び第2のトランジスタと、直列に接続された第3のトランジスタ及び第4のトランジスタと、電位生成回路を有する。第1のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、第2のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、第2のトランジスタのゲート電極は、第3のトランジスタのソース電極及びドレイン電極

の一方と第4のトランジスタのソース電極及びドレイン電極の一方に接続されている。第3のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続され、第4のトランジスタのソース電極及びドレイン電極の他方は、電位生成回路に接続されている。第1のトランジスタのゲート電極と第3のトランジスタのゲート電極と第4のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の他方と第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力する。

上記構成において、第1のトランジスタはP型トランジスタであり、第2のトランジスタはP型トランジスタであり、第3のトランジスタはP型トランジスタであり、第4のトランジスタはN型トランジスタである。

#### 【0014】

本発明の半導体装置は、直列に接続された第1のトランジスタ及び第2のトランジスタと、直列に接続された第3のトランジスタ及び第4のトランジスタと、電位生成回路を有する。第1のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、第2のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、第1のトランジスタのゲート電極は、第3のトランジスタのソース電極及びドレイン電極の一方と第4のトランジスタのソース電極及びドレイン電極の一方に接続されている。第3のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続され、第4のトランジスタのソース電極及びドレイン電極の他方は、電位生成回路に接続されている。第1のトランジスタのゲート電極と第3のトランジスタのゲート電極と第4のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の他方と第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力する。

上記構成において、第1のトランジスタはN型トランジスタであり、第2のトランジスタはN型トランジスタであり、第3のトランジスタはN型トランジスタであり、第4のトランジスタはP型トランジスタである。

#### 【0015】

本発明の半導体装置は、直列に接続された第1のトランジスタ及び第2のトランジスタと、直列に接続された第3のトランジスタ及び第4のトランジスタと、直列に接続された第5のトランジスタ及び第6のトランジスタと、電位生成回路を有する。第1のトランジスタのソース電極及びドレイン電極の一方は、高電位電源に接続され、第2のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続されている。第2のトランジスタのゲート電極は、第3のトランジスタのソース電極及びドレイン電極の一方と第4のトランジスタのソース電極及びドレイン電極の一方に接続され、第3のトランジスタのソース電極及びドレイン電極の他方は、高電位電源に接続され、第4のトランジスタのソース電極及びドレイン電極の他方は、電位生成回路に接続されている。第1のトランジスタのゲート電極は、第5のトランジスタのソース電極及びドレイン電極の一方と第6のトランジスタのソース電極及びドレイン電極の一方に接続され、第5のトランジスタのソース電極及びドレイン電極の他方は、低電位電源に接続され、第6のトランジスタのソース電極及びドレイン電極の他方は、電位生成回路に接続されている。第3のトランジスタ乃至第6のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の他方と第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力する。

上記構成において、第1のトランジスタはN型トランジスタであり、第2のトランジスタはP型トランジスタであり、第3のトランジスタはP型トランジスタであり、第4のトランジスタはN型トランジスタであり、第5のトランジスタはN型トランジスタであり、第6のトランジスタはP型トランジスタである。

#### 【0016】

本発明の半導体装置は、直列に接続された第1のトランジスタ及び第2のトランジスタと、1つ又は複数の減算用トランジスタを含む減算回路を有する。第1のトランジスタのソ

ース電極及びドレイン電極の一方は、高電位電源に接続され、減算回路は、第2のトランジスタのソース電極及びドレイン電極の一方と低電位電源の間に設けられ、減算用トランジスタのゲート電極は、減算用トランジスタのドレイン電極に接続されている。第1のトランジスタのゲート電極と第2のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の一方と第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力する。

上記構成において、第1のトランジスタはP型トランジスタであり、第2のトランジスタはN型トランジスタであり、減算用トランジスタはN型トランジスタである。

#### 【0017】

本発明の半導体装置は、直列に接続された第1のトランジスタ及び第2のトランジスタと、1つ又は複数の減算用トランジスタを含む減算回路を有する。第2のトランジスタのソース電極及びドレイン電極の一方は、低電位電源に接続され、減算回路は、第1のトランジスタのソース電極及びドレイン電極の一方と高電位電源の間に設けられ、減算用トランジスタのゲート電極は、減算用トランジスタのドレイン電極に接続されている。第1のトランジスタのゲート電極と第2のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の他方と第2のトランジスタのソース電極及びドレイン電極の一方から信号を出力する。

上記構成において、第1のトランジスタはP型トランジスタであり、第2のトランジスタはN型トランジスタであり、減算用トランジスタはP型トランジスタである。

#### 【0018】

本発明の半導体装置は、直列に接続された第1のトランジスタ及び第2のトランジスタと、1つ又は複数の第1の減算用トランジスタを含む第1の減算回路と、1つ又は複数の第2の減算用トランジスタを含む第2の減算回路を有する。第1の減算回路は、第1のトランジスタのソース電極及びドレイン電極の一方と低電位電源の間に設けられている。第2の減算回路は、第2のトランジスタのソース電極及びドレイン電極の一方と高電位電源の間に設けられている。減算用トランジスタのゲート電極は、減算用トランジスタのドレイン電極に接続されている。第1のトランジスタのゲート電極と第2のトランジスタのゲート電極に信号が入力されると、第1のトランジスタのソース電極及びドレイン電極の一方と第2のトランジスタのソース電極及びドレイン電極の他方から信号を出力する。

上記構成において、第1のトランジスタはP型トランジスタであり、第2のトランジスタはN型トランジスタであり、第1の減算用トランジスタはN型トランジスタであり、第2の減算用トランジスタはP型トランジスタである。

#### 【0019】

また本発明の半導体装置が含む電位生成回路は、第1のスイッチ、第2のスイッチ、第1の容量素子、第2の容量素子及びバッファアンプを有する。第1のスイッチの一方のノードは、電位生成用電源に接続され、第1のスイッチの他方のノードは、第2のスイッチの一方のノードと第1の容量素子の一方のノードに接続され、第2のスイッチの他方のノードは、第2の容量素子の一方のノードとバッファアンプの入力端子に接続され、第2の容量素子の他方の端子は、低電位電源に接続されている。第1の容量素子の他方のノードに減算用信号が入力されると、バッファアンプの出力ノードから、電位生成用電源の電位から減算用信号の電位を減算した電位を出力する。

#### 【0020】

また本発明の半導体装置が含む電位生成回路は、電位生成回路は、直列に接続された複数の抵抗素子を有し、複数の抵抗素子の一端は、高電位電源に接続され、複数の抵抗素子の他端は、低電位電源に接続され、複数の抵抗素子から選択された2つの抵抗素子の接続点から、電位を出力する。

#### 【0021】

上記構成を有する本発明の半導体装置において、高電位電源に接続されているノード、低電位電源に接続されているノードは、一定の電位に保たれている。

#### 【0022】

また本発明の電子機器は、上記のいずれかの構成の本発明の半導体装置を用いたものである。

#### 【発明の効果】

##### 【0023】

上記構成を有する本発明により、出力ノードから出力される2つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくすることができる。その結果、消費電力を低減することができる。

#### 【発明を実施するための最良の形態】

##### 【0024】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。また、以下の説明において、高電位電源はVDD、低電位電源はVSSと表記することがある。また、入力ノードは図面ではINと表記し、出力ノードは図面ではOUTと表記する。

(実施の形態1)

##### 【0025】

本発明の半導体装置である信号出力回路10の構成について、図面を参照して説明する。信号出力回路10は、入力ノード（入力端子ともよぶ）に信号が入力されると、出力ノード（出力端子ともよぶ）から信号を出力する。

##### 【0026】

本発明の信号出力回路10は、直列に接続されたトランジスタ11、トランジスタ12及びトランジスタ13と、電位生成回路14を有する（図1（A）参照）。トランジスタ11はP型トランジスタであり、トランジスタ12はN型トランジスタであり、トランジスタ13はP型トランジスタである。電位生成回路14は、高電位電源や低電位電源の電位とは異なる電位Vaを生成し、生成した電位Vaをトランジスタ13に出力する。

##### 【0027】

トランジスタ11のソース電極及びドレイン電極の一方は、高電位電源に接続されている。トランジスタ13のゲート電極は、電位生成回路14に接続され、トランジスタ13のソース電極及びドレイン電極の一方は、トランジスタ12のソース電極及びドレイン電極の一方に接続され、トランジスタ13のソース電極及びドレイン電極の他方は、低電位電源に接続されている。

##### 【0028】

信号出力回路10の入力ノードは、トランジスタ11のゲート電極とトランジスタ12のゲート電極である。信号出力回路10の出力ノードは、トランジスタ11のソース電極及びドレイン電極の一方とトランジスタ12のソース電極及びドレイン電極の一方である。

##### 【0029】

次に、上記構成を有する信号出力回路10の動作について説明する。以下の説明では、高電位電源は10V、低電位電源は0V、Vaは4V、トランジスタ13のしきい値は-1Vとする。またHレベルの信号の電位は10V、Lレベルの信号の電位は0Vとする。

##### 【0030】

信号出力回路10の入力ノードにHレベルの信号が入力されると、トランジスタ11はオフ、トランジスタ12はオンになる。また、トランジスタ13のゲート電極の電位はVa（ここでは4V）であり、ソース電極の電位は0Vであり、トランジスタ13のしきい値電圧は-1Vであるので、トランジスタ13のドレイン電極の電位は5Vとなる。そうすると、信号出力回路10は、出力ノードから、5Vの信号を出力する。

##### 【0031】

信号出力回路10の入力ノードにLレベルの信号が入力されると、トランジスタ11はオン、トランジスタ12はオフになり、信号出力回路10は、出力ノードから、VDDの電

位と同じ10Vの信号を出力する。

#### 【0032】

上記構成を有する信号出力回路10は、出力ノードから出力される2つの信号の電位差（上記の例では5V）を、高電位電源と低電位電源の電位差（上記の例では10V）よりも小さくすることができる。その結果、消費電力を低減することができる。

#### 【0033】

本発明の信号出力回路10は、直列に接続されたトランジスタ11、トランジスタ12及びトランジスタ15と、電位生成回路14を有する（図1（B）参照）。トランジスタ11はP型トランジスタであり、トランジスタ12はN型トランジスタであり、トランジスタ15はN型トランジスタである。電位生成回路14は、高電位電源や低電位電源の電位とは異なる電位Vbを生成し、生成した電位Vbをトランジスタ15に出力する。

#### 【0034】

トランジスタ12のソース電極及びドレイン電極の一方は、低電位電源に接続されている。トランジスタ15のゲート電極は、電位生成回路14に接続され、トランジスタ15のソース電極及びドレイン電極の一方は、トランジスタ11のソース電極及びドレイン電極の一方に接続され、トランジスタ15のソース電極及びドレイン電極の他方は、高電位電源に接続されている。

#### 【0035】

信号出力回路10の入力ノードは、トランジスタ11のゲート電極とトランジスタ12のゲート電極である。信号出力回路10の出力ノードは、トランジスタ11のソース電極及びドレイン電極の一方とトランジスタ12のソース電極及びドレイン電極の一方である。

#### 【0036】

次に、上記構成を有する信号出力回路10の動作について説明する。以下の説明では、高電位電源は16V、低電位電源は0V、Vbは10V、トランジスタ15のしきい値は1Vとする。またHレベルの信号の電位は16V、Lレベルの信号の電位は0Vとする。

#### 【0037】

信号出力回路10の入力ノードにHレベルの信号が入力されると、トランジスタ11はオフ、トランジスタ12はオンになり、信号出力回路10の出力ノードから、VSSの電位と同じ0Vの信号が出力される。

#### 【0038】

信号出力回路10の入力ノードにLレベルの信号が入力されると、トランジスタ11はオン、トランジスタ12はオフになる。また、トランジスタ15のゲート電極の電位はVb（ここでは10V）であり、ソース電極の電位は16Vであり、トランジスタ15のしきい値電圧は1Vであるので、トランジスタ15のドレイン電極の電位は9Vとなる。そうすると、信号出力回路10は、出力ノードから、9Vの信号を出力する。

#### 【0039】

上記構成を有する信号出力回路10は、出力ノードから出力される2つの信号の電位差（上記の例では9V）を、高電位電源と低電位電源の電位差（上記の例では16V）よりも小さくすることができる。その結果、消費電力を低減することができる。

#### 【0040】

本発明の信号出力回路10は、直列に接続されたトランジスタ11、トランジスタ12、トランジスタ13及びトランジスタ15と、電位生成回路14を有する（図2参照）。トランジスタ11はP型トランジスタであり、トランジスタ12はN型トランジスタであり、トランジスタ13はP型トランジスタであり、トランジスタ15はN型トランジスタである。電位生成回路14は、高電位電源や低電位電源の電位をと異なる電位Va、Vbを生成し、生成した電位Vaをトランジスタ13に出力し、電位Vbをトランジスタ15に出力する。

#### 【0041】

上記の図2に示す信号出力回路10の構成は、上記の図1（A）に示す信号出力回路10と図1（B）に示す信号出力回路10を組み合わせた構成である。そのため、上記の図2

に示す信号出力回路 10 の動作の説明は省略する。

#### 【0042】

次に、複数本（ $x$  本、 $x$  は自然数）の配線（ $L_1 \sim L_x$ ）に対応して、複数の信号出力回路 10 が設けられる場合について説明する（図 3 参照）。なお、複数本の配線とは、例えば、ソース線やゲート線であり、複数の信号出力回路 10 はソースドライバやゲートドライバ内に設けられる。また、以下の説明では、図 2 に示す構成の信号出力回路 10 が複数設けられる場合について説明する。

#### 【0043】

複数の信号出力回路 10 を設ける場合、複数本の配線（ $L_1 \sim L_x$ ）の各々に対応して設けるのは、トランジスタ 11、12 を含むインバータ 61 のみとするとよい。そして、複数のインバータ 61 において、トランジスタ 13、15 と電位生成回路 14 を共有するとよい。そうすれば、素子の個数を減らすことができる。

#### 【0044】

なお、上記の形態では、複数本の配線（ $L_1 \sim L_x$ ）に対応して、トランジスタ 13、15 と電位生成回路 14 を設けているが、本発明はこの形態に制約されない。複数本の配線（ $L_1 \sim L_x$ ）を複数のグループに分けて、複数のグループ毎に、トランジスタ 13、15 と電位生成回路 14 を設けてもよい。

#### 【0045】

上記の図 1～3 に示す本発明の信号出力回路は、出力ノードから出力される 2 つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくすることができる。その結果、消費電力を低減することができる。なお、出力ノードから出力される 2 つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくするために、シリーズレギュレータやチャージポンプ等の出力電流能力の高い電源回路を用いる手法があるが、この手法だと、電力効率が充分ではなく、消費電力の低減効果が薄れてしまう。しかし、上記の図 1～3 に示す本発明の信号出力回路は、電力損失が小さく、なおかつ消費電力を低減することができる。

（実施の形態 2）

#### 【0046】

本発明の半導体装置である信号出力回路 10 は、直列に接続されたトランジスタ 21 及びトランジスタ 22 と、直列に接続されたトランジスタ 23 及びトランジスタ 24 と、電位生成回路 14 を有する（図 4（A）参照）。トランジスタ 21 は P 型トランジスタであり、トランジスタ 22 は P 型トランジスタであり、トランジスタ 23 は P 型トランジスタであり、トランジスタ 24 は N 型トランジスタである。電位生成回路 14 は、高電位電源や低電位電源の電位とは異なる電位  $V_a$  を生成し、生成した電位  $V_a$  をトランジスタ 24 に出力する。

#### 【0047】

トランジスタ 21 のソース電極及びドレイン電極の一方は、高電位電源に接続されている。トランジスタ 22 のソース電極及びドレイン電極の一方は、低電位電源に接続されている。トランジスタ 22 のゲート電極は、トランジスタ 23 のソース電極及びドレイン電極の一方と、トランジスタ 24 のソース電極及びドレイン電極の一方に接続されている。トランジスタ 23 のソース電極及びドレイン電極の他方は、高電位電源に接続されている。トランジスタ 24 のソース電極及びドレイン電極の他方は、電位生成回路 14 に接続されている。

#### 【0048】

信号出力回路 10 の入力ノードは、トランジスタ 21 のゲート電極とトランジスタ 23 のゲート電極とトランジスタ 24 のゲート電極である。信号出力回路 10 の出力ノードは、トランジスタ 21 のソース電極及びドレイン電極の一方とトランジスタ 22 のソース電極及びドレイン電極の一方である。

#### 【0049】

次に、上記構成を有する信号出力回路 10 の動作について説明する。以下の説明では、高

電位電源は10V、低電位電源は0V、 $V_a$ は4V、トランジスタ22のしきい値電圧は-1Vとする。またHレベルの信号の電位は10V、Lレベルの信号の電位は0Vとする。

#### 【0050】

信号出力回路10の入力ノードにHレベルの信号が入力されると、トランジスタ21はオフ、トランジスタ23はオフ、トランジスタ24はオンになる。また、トランジスタ24を介して、電位 $V_a$ （ここでは4V）がトランジスタ22のゲート電極に与えられる。トランジスタ22のゲート電極の電位は4Vであり、ソース電極の電位は0Vであり、そのしきい値電圧は-1Vであるので、トランジスタ22のドレイン電極は5Vとなる。そうすると、信号出力回路10は、出力ノードから、5Vの信号を出力する。

#### 【0051】

信号出力回路10の入力ノードにLレベルの信号が入力されると、トランジスタ21はオン、トランジスタ23はオン、トランジスタ24はオフになる。また、トランジスタ23を介して、高電位電源の電位がトランジスタ22のゲート電極に与えられ、トランジスタ22はオフになる。従って、信号出力回路10は、出力ノードから、VDDの電位と同じ10Vの信号を出力する。

#### 【0052】

上記構成を有する信号出力回路10は、出力ノードから出力される2つの信号の電位差（上記の例では5V）を、高電位電源と低電位電源の電位差（上記の例では10V）よりも小さくすることができる。その結果、消費電力を低減することができる。

#### 【0053】

本発明の信号出力回路10は、直列に接続されたトランジスタ21及びトランジスタ22と、直列に接続されたトランジスタ25及びトランジスタ26と、電位生成回路14を有する（図4（B）参照）。トランジスタ21はN型トランジスタであり、トランジスタ22はN型トランジスタであり、トランジスタ25はN型トランジスタであり、トランジスタ26はP型トランジスタである。電位生成回路14は、高電位電源や低電位電源の電位とは異なる電位 $V_b$ を生成し、生成した電位 $V_b$ をトランジスタ26に出力する。

#### 【0054】

トランジスタ21のソース電極及びドレイン電極の一方は、高電位電源に接続されている。トランジスタ22のソース電極及びドレイン電極の一方は、低電位電源に接続されている。トランジスタ21のゲート電極は、トランジスタ25のソース電極及びドレイン電極の一方と、トランジスタ26のソース電極及びドレイン電極の一方に接続されている。トランジスタ25のソース電極及びドレイン電極の他方は、低電位電源に接続されている。トランジスタ26のソース電極及びドレイン電極の他方は、電位生成回路14に接続されている。

#### 【0055】

信号出力回路10の入力ノードは、トランジスタ21のゲート電極とトランジスタ25のゲート電極とトランジスタ26のゲート電極である。信号出力回路10の出力ノードは、トランジスタ21のソース電極及びドレイン電極の一方とトランジスタ22のソース電極及びドレイン電極の一方である。

#### 【0056】

動作

次に、上記構成を有する信号出力回路10の動作について説明する。以下の説明では、高電位電源は16V、低電位電源は0V、 $V_b$ は10V、トランジスタ21のしきい値電圧は1Vとする。またHレベルの信号の電位は16V、Lレベルの信号の電位は0Vとする。

#### 【0057】

信号出力回路10の入力ノードにHレベルの信号が入力されると、トランジスタ22はオン、トランジスタ25はオン、トランジスタ26はオフになる。また、トランジスタ25を介して、低電位電源の電位がトランジスタ21のゲート電極に与えられ、トランジスタ



21はオフになる。そうすると、信号出力回路10は、出力ノードから、VSSの電位と同じ0Vの信号を出力する。

#### 【0058】

信号出力回路10の入力ノードにLレベルの信号が入力されると、トランジスタ22はオフ、トランジスタ25はオフ、トランジスタ26はオンになる。また、トランジスタ25を介して、電位Vb（ここでは10V）がトランジスタ21のゲート電極に与えられる。トランジスタ21のゲート電極の電位は10Vであり、ソース電極の電位は16Vであり、そのしきい値電圧は1Vであるので、トランジスタ21のドレイン電極は9Vとなる。従って、信号出力回路10は、出力ノードから、9Vの信号を出力する。

#### 【0059】

上記構成を有する信号出力回路10は、出力ノードから出力される2つの信号の電位差（上記の例では9V）を、高電位電源と低電位電源の電位差（上記の例では16V）よりも小さくすることができる。その結果、消費電力を低減することができる。

#### 【0060】

本発明の信号出力回路10は、直列に接続されたトランジスタ21及びトランジスタ22と、直列に接続されたトランジスタ23及びトランジスタ24と、直列に接続されたトランジスタ25及びトランジスタ26と、電位生成回路14を有する（図5参照）。トランジスタ21はN型トランジスタであり、トランジスタ22はP型トランジスタであり、トランジスタ23はP型トランジスタであり、トランジスタ24はN型トランジスタであり、トランジスタ25はN型トランジスタであり、トランジスタ26はP型トランジスタである。電位生成回路14は、高電位電源や低電位電源の電位とは異なる電位Va、Vbを生成し、電位Vaをトランジスタ24に出力し、電位Vbをトランジスタ26に出力する。

#### 【0061】

トランジスタ21のソース電極及びドレイン電極の一方は、高電位電源に接続されている。トランジスタ22のソース電極及びドレイン電極の一方は、低電位電源に接続されている。

トランジスタ22のゲート電極は、トランジスタ23のソース電極及びドレイン電極の一方と、トランジスタ24のソース電極及びドレイン電極の一方に接続されている。トランジスタ23のソース電極及びドレイン電極の他方は、高電位電源に接続されている。トランジスタ24のソース電極及びドレイン電極の他方は、電位生成回路14に接続されている。

トランジスタ21のゲート電極は、トランジスタ25のソース電極及びドレイン電極の一方と、トランジスタ26のソース電極及びドレイン電極の一方に接続されている。トランジスタ25のソース電極及びドレイン電極の他方は、低電位電源に接続されている。トランジスタ26のソース電極及びドレイン電極の他方は、電位生成回路14に接続されている。

#### 【0062】

信号出力回路10の入力ノードは、トランジスタ23、トランジスタ24、トランジスタ25及びトランジスタ26のゲート電極である。信号出力回路10の出力ノードは、トランジスタ21のソース電極及びドレイン電極の一方とトランジスタ22のソース電極及びドレイン電極の一方である。

#### 【0063】

##### 動作

次に、上記構成を有する信号出力回路10の動作について説明する。以下の説明では、高電位電源は16V、低電位電源は0V、Vaは2V、Vbは10V、トランジスタ21のしきい値電圧は1V、トランジスタ22のしきい値電圧は-1Vとする。

#### 【0064】

信号出力回路10の入力ノードにHレベルの信号が入力されると、トランジスタ23はオフ、トランジスタ24はオン、トランジスタ25はオン、トランジスタ26はオフになる。

。また、トランジスタ25を介して、低電位電源の電位がトランジスタ21のゲート電極に与えられ、トランジスタ21はオフになる。また、トランジスタ24を介して、電位V<sub>a</sub>（ここでは2V）がトランジスタ22のゲート電極に与えられる。トランジスタ22のゲート電極の電位が2Vであり、ソース電極の電位が0Vであり、トランジスタ22のしきい値電圧が-1Vであるので、トランジスタ22のドレイン電極の電位は3Vとなる。そうすると、信号出力回路10は、出力ノードから、3Vの信号を出力する。

#### 【0065】

信号出力回路10の入力ノードにLレベルの信号が入力されると、トランジスタ23はオン、トランジスタ24はオフ、トランジスタ25はオフ、トランジスタ26はオンになる。また、トランジスタ23を介して、高電位電源の電位がトランジスタ22のゲート電極に与えられ、トランジスタ22はオフになる。また、トランジスタ26を介して、電位V<sub>b</sub>（ここでは10V）がトランジスタ21のゲート電極に与えられる。トランジスタ21のゲート電極の電位が10Vであり、ソース電極の電位が16Vであり、そのしきい値電圧が1Vであることから、トランジスタ21のドレイン電極は9Vとなる。従って、信号出力回路10は、出力ノードから、9Vの信号を出力する。

#### 【0066】

上記構成を有する信号出力回路10は、出力ノードから出力される2つの信号の電位差（上記の例では9V）を、高電位電源と低電位電源の電位差（上記の例では16V）よりも小さくすることができる。その結果、消費電力を低減することができる。

#### 【0067】

なお、上記の図4（A）（B）、図5に示す構成の信号出力回路10を複数設ける場合、電位生成回路14は、各信号出力回路10に設ける必要はなく、複数の信号出力回路10で共有するとよい。そうすれば、素子の個数を減らすことができる。

#### 【0068】

また、出力ノードから出力される2つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくするために、シリーズレギュレータやチャージポンプ等の出力電流能力の高い電源回路を用いる手法があるが、この手法だと、電力効率が充分ではなく、消費電力の低減効果が薄れてしまう。しかし、図4、5に示す本発明の信号出力回路は、電力損失が小さく、なおかつ、消費電力を低減することができる。

（実施の形態3）

#### 【0069】

本発明の半導体装置である信号出力回路10は、直列に接続されたトランジスタ31及びトランジスタ32と、1つ又は複数の減算用トランジスタを含む減算回路35を有する（図6（A）参照）。トランジスタ31はP型トランジスタであり、トランジスタ32はN型トランジスタであり、減算回路35が含む1つ又は複数の減算用トランジスタはN型トランジスタである。図示する構成では、減算回路35は、直列に接続された2つの減算用トランジスタ33、34を含む。

#### 【0070】

トランジスタ31のソース電極及びドレイン電極の一方は、高電位電源に接続されている。減算回路35は、トランジスタ32のソース電極及びドレイン電極の一方と低電位電源の間に設けられている。減算用トランジスタ33のゲート電極は、減算用トランジスタ33のソース電極及びドレイン電極の一方に接続されている。減算用トランジスタ34のゲート電極は、減算用トランジスタ34のソース電極及びドレイン電極の一方に接続されている。

#### 【0071】

信号出力回路10の入力ノードは、トランジスタ31のゲート電極とトランジスタ32のゲート電極である。信号出力回路10の出力ノードは、トランジスタ31のソース電極及びドレイン電極の一方とトランジスタ32のソース電極及びドレイン電極の一方である。

#### 【0072】

次に、上記構成を有する信号出力回路10の動作について説明する。以下の説明では、高

電位電源は10V、低電位電源は0V、トランジスタ33のしきい値電圧は2V、トランジスタ34のしきい値電圧は2Vとする。またHレベルの信号の電位は10V、Lレベルの信号の電位は0Vとする。

#### 【0073】

信号出力回路10の入力ノードにHレベルの信号が入力されると、トランジスタ31はオフ、トランジスタ32はオンになる。トランジスタ34のソース電極の電位は0Vであり、そのしきい値電圧は2Vであるので、トランジスタ34のドレイン電極の電位は8Vとなる。また、トランジスタ33のソース電極の電位は8Vであり、そのしきい値電圧は2Vであるので、トランジスタ33のドレイン電極の電位は6Vとなる。そうすると、信号出力回路10は出力ノードから6Vの信号を出力する。

#### 【0074】

信号出力回路10の入力ノードにLレベルの信号が入力されると、トランジスタ31はオン、トランジスタ32はオフになり、信号出力回路10は、出力ノードから、VDDの電位と同じ10Vの信号を出力する。

#### 【0075】

上記構成を有する信号出力回路10は、出力ノードから出力される2つの信号の電位差（上記の例では6V）を、高電位電源と低電位電源の電位差（上記の例では10V）よりも小さくすることができる。その結果、消費電力を低減することができる。

#### 【0076】

本発明の信号出力回路10は、直列に接続されたトランジスタ31及びトランジスタ32と、1つ又は複数の減算用トランジスタを含む減算回路38を有する（図6（B）参照）。トランジスタ31はP型トランジスタであり、トランジスタ32はN型トランジスタであり、減算回路38が含む1つ又は複数の減算用トランジスタはP型トランジスタである。図示する構成では、減算回路38は、直列に接続された2つの減算用トランジスタ36、37を含む。

#### 【0077】

トランジスタ32のソース電極及びドレイン電極の一方は、低電位電源に接続されている。減算回路38は、トランジスタ31のソース電極及びドレイン電極の一方と高電位電源の間に設けられている。減算用トランジスタ36のゲート電極は、減算用トランジスタ36のソース電極及びドレイン電極の一方に接続されている。減算用トランジスタ37のゲート電極は、減算用トランジスタ37のソース電極及びドレイン電極の一方に接続されている。

#### 【0078】

信号出力回路10の入力ノードは、トランジスタ31のゲート電極とトランジスタ32のゲート電極である。信号出力回路10の出力ノードは、トランジスタ31のソース電極及びドレイン電極の一方とトランジスタ32のソース電極及びドレイン電極の一方である。

#### 【0079】

次に、上記構成を有する信号出力回路10の動作について説明する。以下の説明では、高電位電源は10V、低電位電源は0V、トランジスタ36のしきい値電圧は-2V、トランジスタ37のしきい値電圧は-2Vとする。またHレベルの信号の電位は10V、Lレベルの信号の電位は0Vとする。

#### 【0080】

信号出力回路10の入力ノードにHレベルの信号が入力されると、トランジスタ31はオフ、トランジスタ32はオンになり、信号出力回路10は、出力ノードから、VSSの電位と同じ0Vの信号を出力する。

#### 【0081】

信号出力回路10の入力ノードにLレベルの信号が入力されると、トランジスタ31はオン、トランジスタ32はオフになる。トランジスタ36のソース電極の電位は10Vであり、そのしきい値電圧は-2Vであるので、トランジスタ36のドレイン電極の電位は8Vとなる。また、トランジスタ33のソース電極の電位は8Vであり、そのしきい値電圧

は－２Ｖであるので、トランジスタ３３のドレイン電極の電位は６Ｖとなる。そうすると、信号出力回路１０は、出力ノードから６Ｖの信号を出力する。

【００８２】

上記構成を有する信号出力回路１０は、出力ノードから出力される２つの信号の電位差（上記の例では６Ｖ）を、高電位電源と低電位電源の電位差（上記の例では１０Ｖ）よりも小さくすることができる。その結果、消費電力を低減することができる。

【００８３】

本発明の信号出力回路１０は、直列に接続されたトランジスタ３１及びトランジスタ３２、１つ又は複数の減算用トランジスタを含む減算回路３５、１つ又は複数の減算用トランジスタを含む減算回路３８を有する（図７参照）。図示する構成では、減算回路３５は、直列に接続された２つの減算用トランジスタ３３、３４を含み、減算回路３８は、直列に接続された２つの減算用トランジスタ３６、３７を含む。

【００８４】

減算回路３５は、トランジスタ３２のソース電極及びドレイン電極の一方と低電位電源の間に設けられている。また、減算回路３８は、トランジスタ３１のソース電極及びドレイン電極の一方と高電位電源の間に設けられている。

【００８５】

上記の図７に示す信号出力回路１０の構成は、上記の図６（Ａ）の信号出力回路１０と図６（Ｂ）の信号出力回路１０を組み合わせた構成である。そのため、上記の図７の信号出力回路１０の動作の説明は省略する。

【００８６】

なお、上記の図６（Ａ）（Ｂ）、図７に示す信号出力回路１０は、電位生成回路１４として用いることができる。

【００８７】

次に、複数本（ $x$ 本、 $x$ は自然数）の配線（ $L_1 \sim L_x$ ）に対応して、複数の信号出力回路１０が設けられる場合について説明する（図８参照）。なお、複数本の配線とは、例えば、ソース線やゲート線であり、複数の信号出力回路１０はソースドライバやゲートドライバ内に設けられる。また、以下の説明では、図７に示す信号出力回路１０が複数設けられる場合について説明する。

【００８８】

複数の信号出力回路１０を設ける場合、複数本の配線（ $L_1 \sim L_x$ ）の各々に対応して設けるのは、トランジスタ３１、３２を含むインバータ６１のみとするとよい。そして、複数のインバータ６１において、トランジスタ３３、３４を含む減算回路３５、トランジスタ３６、３７を含む減算回路３８を共有するとよい。そうすれば、素子の個数を減らすことができる。

【００８９】

なお、上記の形態では、複数本の配線（ $L_1 \sim L_x$ ）に対応して、減算回路３５、３８を設けているが、本発明はこの形態に制約されない。複数本の配線（ $L_1 \sim L_x$ ）を複数のグループに分けて、複数のグループ毎に、減算回路３５、３８を設けてもよい。

【００９０】

上記の図６～８に示す本発明の信号出力回路は、出力ノードから出力される２つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくすることができる。その結果、消費電力を低減することができる。なお、出力ノードから出力される２つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくするために、シリーズレギュレータやチャージポンプ等の出力電流能力の高い電源回路を用いる手法があるが、この手法だと、電力効率が充分ではなく、消費電力の低減効果が薄れてしまう。しかし、図６～８に示す本発明の信号出力回路は、電力損失が小さく、なおかつ消費電力を低減することができる。

また、図６～８に示す本発明の信号出力回路は、実施の形態１、２に示す構成と比較すると、電位生成回路を作成する必要がないという利点がある。

#### (実施の形態4)

##### 【0091】

本発明の半導体装置は、トランジスタ201～209を有する(図9参照)。トランジスタ201、203～205、207、209はN型トランジスタであり、トランジスタ202、206、208はP型トランジスタである。

##### 【0092】

次に、上記構成を有する半導体装置の動作について説明する。以下の説明では、低電位電源は0Vとし、トランジスタ203～205、209のしきい値電圧は同じ値( $|V_{THa}|$ )とする。

##### 【0093】

入力ノードにHレベルの信号が入力されると、トランジスタ201はオフ、トランジスタ202はオン、トランジスタ207はオフ、トランジスタ208はオンになる。トランジスタ206のドレイン電極は、高電位電源(VDD)から、トランジスタ203～205のしきい値電圧を減算した値( $VDD - |V_{THa}| - |V_{THa}| - |V_{THa}|$ )の電位となり、この電位が、トランジスタ209のゲート電極に与えられる。トランジスタ209のソース電極は低電位電源と同電位(0V)であるので、トランジスタ209のドレイン電極は( $VDD - |V_{THa}| - |V_{THa}|$ )の値の電位となり、出力ノードから、( $VDD - |V_{THa}| - |V_{THa}|$ )の電位の信号を出力する。

##### 【0094】

また、入力ノードにLレベルの信号が入力されると、トランジスタ201はオン、トランジスタ202はオフ、トランジスタ207はオン、トランジスタ208はオフになり、出力ノードから、高電位電源(VDD)と同電位の信号を出力する。

##### 【0095】

本発明の半導体装置は、トランジスタ210～218を有する(図10参照)。トランジスタ210、212、217はP型トランジスタであり、トランジスタ211、213～216、218はN型トランジスタである。

##### 【0096】

次に、上記構成を有する半導体装置の動作について説明する。以下の説明では、トランジスタ213～215、216のしきい値電圧は同じ値( $V_{THb}$ )とする。

##### 【0097】

入力ノードにHレベルの信号が入力されると、トランジスタ210はオフ、トランジスタ211はオン、トランジスタ217はオフ、トランジスタ218はオンになる。そうすると、出力ノードから、低電位電源(VSS)と同電位の信号を出力する。

##### 【0098】

また、入力ノードにLレベルの信号が入力されると、トランジスタ210はオン、トランジスタ211はオフ、トランジスタ217はオン、トランジスタ218はオフになる。トランジスタ212のドレイン電極は、高電位電源(VDD)にトランジスタ213～215のしきい値電圧を加算した値( $VDD + V_{THb} + V_{THb} + V_{THb}$ )の電位となり、この電位が、トランジスタ216のゲート電極に与えられる。そうすると、トランジスタ216のドレイン電極は、( $VDD + V_{THb} + V_{THb}$ )の値の電位となり、出力ノードから、( $VDD + V_{THb} + V_{THb}$ )の電位の信号を出力する。

##### 【0099】

本発明の半導体装置は、トランジスタ220～234を有する(図11参照)。トランジスタ220、222、226～229、232、234はP型トランジスタであり、トランジスタ221、223～225、230、231、233はN型トランジスタである。

##### 【0100】

次に、上記構成を有する半導体装置の動作について説明する。以下の説明では、トランジスタ223～225、231のしきい値電圧は同じ値( $|V_{THa}|$ )とする。トランジスタ226～229、234のしきい値電圧は同じ値( $V_{THb}$ )とする。

##### 【0101】

入力ノードにHレベルの信号が入力されると、トランジスタ220はオフ、トランジスタ221はオン、トランジスタ232はオフ、トランジスタ222はオンになる。トランジスタ230のドレイン電極は、高電位電源(VDD)から、トランジスタ226~229のしきい値電圧を減算した値( $VDD - |V_{THa}| - |V_{THa}| - |V_{THa}| - |V_{THa}|$ )の電位となり、この電位が、トランジスタ234のゲート電極に与えられる。トランジスタ234のソース電極は低電位電源と同電位(0V)であり、トランジスタ234のドレイン電極は( $VDD - |V_{THa}| - |V_{THa}| - |V_{THa}|$ )の値の電位となり、出力ノードから、( $VDD - |V_{THa}| - |V_{THa}| - |V_{THa}|$ )の電位の信号を出力する。

#### 【0102】

また、入力ノードにLレベルの信号が入力されると、トランジスタ220はオン、トランジスタ221はオフ、トランジスタ232はオン、トランジスタ222はオフになる。トランジスタ222のドレイン電極は、高電位電源(VDD)にトランジスタ223~225のしきい値電圧を加算した値( $VDD + V_{THb} + V_{THb} + V_{THb}$ )の電位となり、この電位が、トランジスタ231のゲート電極に与えられる。そうすると、トランジスタ231のドレイン電極は、( $VDD + V_{THb} + V_{THb}$ )の値の電位となり、出力ノードから、( $VDD + V_{THb} + V_{THb}$ )の電位の信号を出力する。

#### 【0103】

なお、トランジスタ203~205、トランジスタ213~215、トランジスタ223~225、トランジスタ226~229の各々は、ゲート電極とドレイン電極が接続されたトランジスタである。これらのトランジスタは、高電位電源の電位よりも低い電位又は高い電位を生成するために設けられており、その個数は特に制約されない。

(実施の形態5)

#### 【0104】

本発明の半導体装置の構成要素である電位生成回路の構成について、図12を参照して説明する。

#### 【0105】

電位生成回路14は、スイッチ51、52、容量素子53、54、回路55を有する(図12(A)参照)。スイッチ51、52は、スイッチング機能がある素子であり、例えば、トランジスタ、アナログスイッチである。回路55は、入力インピーダンスが高く、入力ノードから入力される電位と、出力ノードから出力する電位が等しい回路であり、例えば、バッファアンプである。バッファアンプは、入力端子、反転入力端子及び出力端子の3つの端子を有し、反転入力端子と出力端子は互いに接続されている。

#### 【0106】

スイッチ51の一方のノードは、電位生成用電源(VDD)に接続されている。スイッチ51の他方のノードは、スイッチ52の一方のノードと容量素子53の一方のノードに接続されている。スイッチ52の他方のノードは、容量素子54の一方のノードと回路55の入力ノードに接続されている。容量素子54の他方のノードは、低電位電源(VSS)に接続されている。容量素子53の他方のノードには、減算用信号(Sig)が入力される。スイッチ51には電位(V1)の信号が入力され、スイッチ52には電位(V2)の信号が入力される。

#### 【0107】

次に、上記構成を有する電位生成回路14の動作について説明する(図12(B)参照)。また、スイッチ51、52はHレベルの電位(VH)の信号が入力されるとオン(導通状態)になり、Lレベルの電位(VL)の信号が入力されるとオフ(非導通状態)になるとする。

#### 【0108】

スイッチ51がオン、スイッチ52がオフ、減算用信号の電位がVaの期間(期間T1)では、スイッチ51とスイッチ52の接続点の電位は、電位生成用電源(VDD)から、( $VDD - (Va - VSS)$ )の電位に向かって徐々に下がっている。

#### 【0109】

次に、スイッチ51がオフ、スイッチ52がオフ、減算用信号の電位が $V_a$ の期間（期間T2）でも、スイッチ51とスイッチ52の接続点の電位は、期間T1における動作を引き続き行っており、電位生成用電源（VDD）から、 $(VDD - (V_a - V_{SS}))$ の電位に向かって下降する。そして、減算用信号の電位が $V_a$ から $V_{SS}$ に変わるところに、スイッチ51とスイッチ52の接続点の電位は、 $(VDD - (V_a - V_{SS}))$ となる。

#### 【0110】

続いて、スイッチ51がオフ、スイッチ52がオン、減算用信号の電位が $V_{SS}$ の期間（期間T3）では、期間T2において生成された $(VDD - (V_a - V_{SS}))$ の電位が、回路55の入力ノードに入力される。そして、回路55は出力ノードから、 $(VDD - (V_a - V_{SS}))$ の電位を出力する。

（実施の形態6）

#### 【0111】

本発明の半導体装置の構成要素である電位生成回路の構成について、図13を参照して説明する。

#### 【0112】

電位生成回路14は、直列に接続された複数の抵抗素子を有する。直列に接続された複数の抵抗素子の一端は高電位電源（VDD）に接続され、他端は低電位電源（ $V_{SS}$ ）に接続される。電位生成回路14は、複数の抵抗素子から選択された2つの抵抗素子の接続点から、電位を出力する。上記構成は、抵抗分割を利用した回路であり、高電位電源又は低電位電源の電位を用いて、新たな電位を生成する。

#### 【0113】

図示する構成では、電位生成回路14は、直列に接続された抵抗素子56、57を有する。そして、抵抗素子56の一方のノードは高電位電源に接続され、抵抗素子57の一方のノードは低電位電源に接続されている。そして、抵抗素子56の他方のノードと抵抗素子57の他方のノードの接続点から、電位を出力する。

（実施の形態7）

#### 【0114】

本発明の半導体装置の構成要素である電位生成回路14の構成について、図21を参照して説明する。

#### 【0115】

電位生成回路14は、電源301～303、トランジスタ304～310、抵抗素子312～314を有する。電源301、302は固定電源であり、電源303は可変電源である。トランジスタ304、307、308はP型トランジスタであり、トランジスタ305、306、309、310はN型トランジスタである。

トランジスタ305とトランジスタ306、トランジスタ307とトランジスタ308、トランジスタ309とトランジスタ310はカレントミラー回路を構成する。カレントミラー回路を構成する2つのトランジスタの電流値は同じ値となる。

また、電源301からは電位 $V_a$ が出力され、電源302からは電位 $V_b$ が出力され、電源303からは電位 $V_c$ が出力される（電位 $V_a$ 、 $V_b$ は $V_a > V_b$ を満たす）。

#### 【0116】

次に、上記構成を有する電位生成回路14の動作について以下に説明する。以下の説明では、トランジスタ304、307、308のしきい値電圧は全て同じ値（ $|V_{THa}|$ ）とし、トランジスタ305、306、309、310のしきい値電圧も全て同じ値（ $V_{THb}$ ）とする。また、抵抗素子312、313の抵抗値は $R_1$ 、抵抗素子314の抵抗値は $R_2$ とする。

#### 【0117】

トランジスタ304のゲート電極は、電位 $V_b$ と同電位であるので、トランジスタ304のドレイン電極は、電位 $V_b$ にしきい値電圧を加算した電位（ $V_b + |V_{THa}|$ ）となる。また、トランジスタ307のソース電極は、電位 $V_b$ と同電位であるので、トランジ

スタ307のドレイン電極とゲート電極は、電位 $V_b$ からしきい値電圧を減算した電位( $V_b - |V_{THa}|$ )となる。また、トランジスタ308のゲート電極は、 $V_b - |V_{THa}|$ であるので、トランジスタ308のソース電極は、ゲート電極の電位からしきい値電圧を減算した電位 $V_b$ となる。

そして、抵抗素子313の一方のノードに電位 $V_a$ が与えられ、他方のノードには電位 $V_b$ が与えられ、抵抗素子313の電流値は、電位 $V_a$ から電位 $V_b$ を減算した値を抵抗値 $R_1$ で割った値( $(V_a - V_b) / R_1$ )となる。

抵抗素子313、トランジスタ309、310の電流値は同じ値であり、抵抗素子314の一方のノードの電位は $V_c$ であるので、抵抗素子314の他方のノードの電位は、 $V_c - (V_a - V_b) \times R_2 / R_1$ となる。

#### 【0118】

このように、電位生成回路14は、電位 $V_a$ 、 $V_b$ とは異なる、新たな電位( $V_c - (V_a - V_b) \times R_2 / R_1$ )を生成することができる。また、電位生成回路14が生成する電位は、トランジスタのしきい値電圧の値は関係ないため、トランジスタのしきい値電圧のバラツキによる影響を受けることがない。

(実施の形態8)

#### 【0119】

本発明の半導体装置の構成要素である信号出力回路の構成について、図22を参照して説明する。

信号出力回路は、トランジスタ360～364と電位生成回路14を有する。トランジスタ360～362、364はN型トランジスタであり、トランジスタ363はP型トランジスタである。また、信号出力回路は、入力ノードに信号が入力されると、出力ノードから信号を出力する。

#### 【0120】

次に、電位生成回路14について、図22を参照して説明する。

電位生成回路14は、電源321～325、トランジスタ340～359、抵抗素子371～375を有する。電源321、322は固定電源であり、電源323～325は可変電源である。トランジスタ340、343、344、350～359はP型トランジスタであり、トランジスタ341、342、346～349はN型トランジスタである。トランジスタ341とトランジスタ342、トランジスタ343とトランジスタ344、トランジスタ345～349、トランジスタ350とトランジスタ353、トランジスタ351とトランジスタ354、トランジスタ352とトランジスタ355、トランジスタ356～359はカレントミラー回路を構成する。カレントミラー回路を構成する2つのトランジスタは同じ電流値となる。

#### 【0121】

電源321からは電位 $V_a$ が出力され、電源322からは電位 $V_b$ が出力され、電源323からは電位 $V_c$ が出力され、電源324からは電位 $V_d$ が出力され、電源325からは電位 $V_e$ が出力される(電位 $V_a$ 、 $V_b$ は $V_a > V_b$ を満たす)。

#### 【0122】

次に、上記構成を有する電位生成回路14の動作について以下に説明する。以下の説明では、P型トランジスタのしきい値電圧は全て同じ値( $|V_{THa}|$ )とし、N型トランジスタのしきい値電圧も全て同じ値( $V_{THb}$ )とする。また、抵抗素子371、372の抵抗値は $R_1$ 、抵抗素子373～375の抵抗値は $R_2$ とする。

#### 【0123】

トランジスタ340のゲート電極は、電位 $V_b$ と同電位であるので、トランジスタ340のドレイン電極は、電位 $V_b$ にしきい値電圧を加算した電位( $V_b + |V_{THa}|$ )となる。

また、トランジスタ343のソース電極は、電位 $V_b$ と同電位であるので、トランジスタ343のドレイン電極とゲート電極は、電位 $V_b$ からしきい値電圧( $|V_{THa}|$ )を減算した電位( $V_b - |V_{THa}|$ )となる。



また、トランジスタ344のゲート電極は、 $V_b - |V_{THa}|$ となるので、トランジスタ308のソース電極は、ゲート電極の電位( $V_b - |V_{THa}|$ )からしきい値電圧( $|V_{THa}|$ )を減算した電位 $V_b$ となる。

そして、抵抗素子372の一方のノードに電位 $V_a$ が与えられ、他方のノードには電位 $V_b$ が与えられ、抵抗素子372の電流値は、電位 $V_a$ から電位 $V_b$ を減算した値を抵抗値 $R_1$ で割った値( $(V_a - V_b) / R_1$ )となる。

#### 【0124】

トランジスタ350のドレイン電極は、電位 $V_c$ と同電位であるので、トランジスタ350のドレイン電極とゲート電極の電位は( $V_c - |V_{THa}|$ )となる。トランジスタ351のドレイン電極は、電位 $V_d$ と同電位であるので、トランジスタ351のドレイン電極とゲート電極の電位は( $V_d - |V_{THa}|$ )となる。トランジスタ352のドレイン電極は、電位 $V_e$ と同電位であるので、トランジスタ352のドレイン電極とゲート電極の電位は( $V_e - |V_{THa}|$ )となる。

そうすると、トランジスタ353のソース電極の電位は $V_c$ となる。トランジスタ354のソース電極の電位は $V_d$ となる。トランジスタ355のソース電極の電位は $V_e$ となる。

。

#### 【0125】

そうすると、トランジスタ360のゲート電極の電位は $V_c + I \times R_2$ となり、トランジスタ361のゲート電極の電位は $V_d + I \times R_2$ となり、トランジスタ362のゲート電極の電位は $V_e + I \times R_2$ となる( $I$ はトランジスタ357~359の電流値とする)。これらのトランジスタ360~362に与えられる電位は、電位生成回路14の出力となる。

#### 【0126】

このように、電位生成回路14は、電位 $V_a \sim V_e$ とは異なる、新たな電位 $V_c + I \times R_2$ 、 $V_d + I \times R_2$ 、 $V_e + I \times R_2$ を生成することができる。電位生成回路14が生成する電位は、トランジスタのしきい値電圧の値は関係ないため、トランジスタのしきい値電圧のバラツキによる影響を受けることがない。

#### 【0127】

そして、トランジスタ360のソース電位は $V_c + I \times R_2 - |V_{THa}|$ となり、トランジスタ361のソース電位は $V_d + I \times R_2 - |V_{THa}|$ となり、トランジスタ362のソース電位は $V_e + I \times R_2 - |V_{THa}|$ となる。そして、 $V_c > V_d$ 、 $V_c > V_e$ の関係式から、信号出力回路の入力ノードに入力される信号がLレベルであるとき、トランジスタ363がオンになり、トランジスタ364がオフになり、信号出力回路の出力ノードから、 $V_c + I \times R_2 - |V_{THa}|$ の電位が出力される。

#### 【実施例1】

#### 【0128】

本発明の半導体装置の構成について、図14を参照して説明する。本発明の半導体装置は、ソースドライバ101、ゲートドライバ106及び画素部109を有する。

#### 【0129】

ソースドライバ101は、パルス出力回路102、ラッチ回路103、104、バッファ回路105を有する。ゲートドライバ106は、パルス出力回路107、バッファ回路108を有する。パルス出力回路102、107は、サンプリングパルスを出力する回路であり、例えば、シフトレジスタやデコーダである。ラッチ回路103、104は、ビデオ信号を保持したり、保持した該ビデオ信号を下段の回路に出力したりする。バッファ回路105、108は、複数の信号出力回路10を有する。

#### 【0130】

画素部109は、複数本( $x$ 本、 $x$ は自然数)のソース線( $S_1 \sim S_x$ )、複数本( $y$ 本、 $y$ は自然数)のゲート線( $G_1 \sim G_y$ )、複数本の電源線( $V_1 \sim V_x$ )、複数の画素110を有する。

#### 【0131】

複数の画素110の各々は、N型トランジスタ112、P型トランジスタ113及び発光素子111を有する。N型トランジスタ112は、画素110に対する映像信号の入力を制御するスイッチ用トランジスタである。P型トランジスタ113は、画素110に入力された映像信号の電位に応じて、発光素子111の電流の供給を制御する駆動用トランジスタである。発光素子111は、一方の電極は、P型トランジスタ113を介して高電位電源（VDD）に接続され、他方の電極は低電位電源（VSS）に接続されている。そのため、発光素子111に流れる電流量は、高電位電源と低電位電源の電位差により決定される。

#### 【0132】

なお、画素110の構成は上記構成に制約されず、P型トランジスタ113のゲート・ソース間電圧を保持する容量素子を設けてもよい。また、スイッチ用トランジスタ、駆動用トランジスタとも上記の導電型に制約されず、N型とP型のどちらの導電型でもよい。

#### 【0133】

また、半導体装置を用いて階調を表現する場合、アナログのビデオ信号を用いる方法と、デジタルのビデオ信号を用いる方法がある。前者の方法では、発光素子の輝度をアナログのビデオ信号で制御することで、階調を表現する。一方、後者の方法では、時間階調法や面積階調法がある。本発明はどちらの方法を用いてもよい。

#### 【0134】

本発明は、P型トランジスタ113を線形領域で動作させ、発光素子111に一定の電圧を印加する定電圧駆動を採用する。定電圧駆動は、定電流駆動と比較すると、P型トランジスタ113を飽和領域で動作させる必要がないため、駆動電圧を高くする必要がない。従って、定電流駆動と比較すると、消費電力を低減することができる。

#### 【0135】

また、上記構成では、ソースドライバ101内に本発明の信号出力回路10が設けられており、P型トランジスタ113に入力される2つの信号の電位差は、線形領域で動作するP型トランジスタ113を確実にオンすることができ、なおかつ、確実にオフすることができる電位差であって、なおかつ、高電位電源と低電位電源の電位差よりも小さい電位差である。このように、本発明は、P型トランジスタ113に入力される2つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくできるため、消費電力を低減することができる。本実施例は、上記の実施の形態と自由に組み合わせることができる。

#### 【実施例2】

#### 【0136】

本発明の半導体装置の構成について、図15を参照して説明する。本発明の半導体装置は、画素部109とモニター部152を有する。画素部109は複数の画素を有し、複数の画素の各々は、発光素子111と少なくとも2つのトランジスタを有する。図示する構成では、発光素子111に直列に接続するP型トランジスタ113のみを示す。発光素子111の2つの電極のうち、一方は低電位電源（VSS）に接続され、他方の電極はP型トランジスタ113に接続される。

#### 【0137】

発光素子111は温度依存性があり、周囲の温度が高温になると抵抗値は下がり、低温になると抵抗値は上がる。また、発光素子は時間と共に劣化する性質があり、時間による劣化により抵抗値は上がる。発光素子の輝度は、その電流値に依存するため、環境温度が変化したり、経時変化が生じたりすると、電流値が変化し、所望の輝度が得られない。そこで、本実施例の半導体装置は、モニター部152を有することを特徴とする。モニター部152は、1つ又は複数のモニター用発光素子157、リミッタ用トランジスタ158、バッファアンプ153及び定電流源154を有する。モニター用発光素子157の2つの電極のうち、一方は低電位電源（VSS）に接続され、他方はリミッタ用トランジスタ158に接続される。リミッタ用トランジスタ158のゲート電極は、一定の電位（VH）に保たれており、リミッタ用トランジスタ158はオン状態にある。

#### 【0138】

また、発光素子 111 とモニター用発光素子 157 は、同一の条件で同一の工程で作成されたものであり、環境温度の変化と経時変化に対して同じ特性又はほぼ同じ特性を有する。発光素子 111 とモニター用発光素子 157 は、同一の基板上に設けられている。

#### 【0139】

モニター用発光素子 157 には、定電流源 154 から一定の電流が供給されている。この状態で、環境温度の変化や経時変化が生じると、モニター用発光素子 157 の抵抗値が変化する。モニター用発光素子 157 の電流値は常に一定なため、モニター用発光素子 157 の抵抗値が変化すると、モニター用発光素子 157 の両電極間の電位差が変化する。

#### 【0140】

上記構成の場合、モニター用発光素子 157 の低電位電源に接続する側の電極の電位は変化せず、定電流源 154 に接続する側の電極の電位が変化する。変化したモニター用発光素子 157 の電極の電位は、バッファアンプ 153 の入力ノードに供給される。そして、バッファアンプ 153 の出力ノードから出力される電位は、P 型トランジスタ 113 を介して、発光素子 111 の 2 つの電極の一方の電極に与えられる。

#### 【0141】

このように、環境温度の変化と経時変化に合わせて、発光素子 111 に与える電位を変えることができるため、環境温度の変化と経時変化による影響を抑制することができる。

#### 【0142】

なお、上記のようなモニター部 152 を有する半導体装置では、経時劣化に伴って、発光素子 111 に与える電位を徐々に高くしていく場合があり、このような場合に備えて、高電位電源の電位は、マージンをもたせて、予め、通常よりも高く設定しておく場合がある。このように、高電位電源の電位を予め高く設定しておくこと、高電位電源と低電位電源の電位差は、その分大きくなってしまふ。高電位電源と低電位電源の電位差が大きいと、その分、ソース線やゲート線の充放電に伴う消費電力も増加してしまふ。

しかしながら、本発明の信号出力回路をソースドライバ内やゲートドライバ内に設けることにより、出力ノードから出力される 2 つの信号の電位差を、高電位電源と低電位電源の電位差よりも小さくすることができる。従って、ソース線やゲート線の充放電に伴う消費電力を低減することができる。つまり、上記のようなモニター部 152 を有する半導体装置に、本発明の信号出力回路を適用することは大変有効である。

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

#### 【実施例 3】

#### 【0143】

本発明の半導体装置の構成について、図 16、17 を参照して説明する。本発明の半導体装置は、画素部 109、ゲートドライバ 106 及びソースドライバ 101 を有する（図 16（A）参照）。基板 120 上には、発光素子 111 と P 型トランジスタ 113 含む画素を複数有する画素部 109、ゲートドライバ 106、ソースドライバ 101 及び接続フィルム 122 が設けられている。接続フィルム 122 は複数の IC チップと接続する。

#### 【0144】

次に、半導体装置の断面構造について説明する。基板 120 上には、画素部 109 が含む P 型トランジスタ 113、発光素子 111 含む容量素子 124、ソースドライバ 101 が含む複数の素子 125 が設けられている（図 16（B）、図 17（A）（B）参照）。

#### 【0145】

画素部 109、ゲートドライバ 106 及びソースドライバ 101 の周囲にはシール材 123 が設けられており、発光素子 111 は、シール材 123 を用いて、基板 120 と対向基板 121 により封止される。この封止処理は、発光素子 111 を水分から保護するための処理であり、ここではカバー材（ガラス、セラミックス、プラスチック、金属等）により封止する方法を用いるが、熱硬化性樹脂や紫外光硬化性樹脂を用いて封止する方法、金属酸化物や窒化物等のバリア能力が高い薄膜により封止する方法を用いてもよい。

#### 【0146】

発光素子 111 の画素電極が透光性を有し、発光素子 111 の対向電極が遮光性を有する

場合、発光素子 111 は下面出射を行う（図 16（B）参照）。また、発光素子 111 の画素電極が遮光性を有し、発光素子 111 の対向電極が透光性を有する場合、発光素子 111 は上面出射を行う（図 17（A）参照）。また、発光素子 111 の画素電極と、発光素子 111 の対向電極の両者が透光性を有する場合、発光素子 111 は両面出射を行う（図 17（B）参照）。

#### 【0147】

また、P 型トランジスタ 113 のソースドレイン配線上に絶縁層を設けて、当該絶縁層上に発光素子 111 の画素電極を設けてもよい（図 16（B）参照）、P 型トランジスタ 113 のソースドレイン配線と同じ層に、発光素子 111 の画素電極を設けてもよい（図 17 参照）。また、P 型トランジスタ 113 のソースドレイン配線と、発光素子 111 の画素電極とが積層する部分は、P 型トランジスタ 113 のソースドレイン配線が下層で、発光素子 111 の画素電極が上層でもよい（図 17（A）参照）、発光素子 111 の画素電極が下層で、P 型トランジスタ 113 のソースドレイン配線が上層でもよい（図 17（B）参照）。

#### 【0148】

基板 120 上に設けられる素子は、移動度等の特性が良好な結晶質半導体をチャネル部としたトランジスタにより構成するとよい。そうすると、同一表面上におけるモノリシック化が実現される。上記構成を有する半導体装置は、接続する外部 IC の個数を減少することができるため、小型化、軽量化、薄型化を実現することができる。

#### 【0149】

また、基板 120 上に設けられる素子は、非晶質半導体をチャネル部としたトランジスタにより構成し、ゲートドライバ 106 とソースドライバ 101 を IC チップにより構成してもよい。IC チップは、COG 方式により基板 120 上に貼り合わせたり、接続フィルム 122 に貼り合わせたりする。非晶質半導体は、CVD 法を用いることで、大きな面積の基板に簡単に形成することができ、かつ結晶化の工程が不要であることから、安価なパネルの提供を可能とする。また、この際、インクジェット法に代表される液滴吐出法により導電層を形成すると、より安価なパネルを提供することができる。

#### 【0150】

本発明の半導体装置が含む発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には OLED（Organic Light Emitting Diode）や、FED（Field Emission Display）に用いられている MIM 型の電子源素子（電子放出素子）等が含まれる。発光素子の一つである OLED は、電場を加えることで発生するルミネッセンス（Electro Luminescence）が得られる電界発光材料を含む層（以下電界発光層と略記）と、陽極と、陰極とを有している。電界発光層は陽極と陰極の間に設けられており、単層または複数の層で構成されている。これらの層の中に無機化合物を含んでいる場合もある。電界発光層におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

#### 【実施例 4】

#### 【0151】

本発明の発光装置を用いた電子機器の一態様について、図 18、19 を参照して説明する。ここで例示する電子機器は携帯電話装置であり、筐体 2700、2706、パネル 2701、ハウジング 2702、プリント配線基板 2703、操作ボタン 2704 及びバッテリー 2705 を含む（図 18 参照）。パネル 2701 は、複数の画素がマトリクス状に配置された画素部を有し、一対の基板により画素部が封止されている。パネル 2701 はハウジング 2702 に脱着自在に組み込まれ、ハウジング 2702 はプリント配線基板 2703 に嵌着される。ハウジング 2702 はパネル 2701 が組み込まれる電子機器に合わせて、形状や寸法が適宜変更される。プリント配線基板 2703 には、中央処理回路（CPU）、コントローラ回路、電源回路、バッファアンプ、ソースドライバ、ゲートドライバ

から選択された一つ又は複数に相当する複数のＩＣチップが実装される。モジュールとは、パネルにプリント配線基板２７０３が実装された状態に相当する。

【０１５２】

パネル２７０１は、接続フィルム２７０８を介して、プリント配線基板２７０３と一体化される。パネル２７０１、ハウジング２７０２、プリント配線基板２７０３は、操作ボタン２７０４やバッテリー２７０５と共に、筐体２７００、２７０６の内部に収納される。パネル２７０１が含む画素部は、筐体２７００に設けられた開口窓から視認できるように配置されている。

【０１５３】

なお、筐体２７００、２７０６は、携帯電話装置の外観形状を一例として示したものであり、本実施の形態に係る電子機器は、その機能や用途に応じて様々な態様に変容しうる。従って、以下に、電子機器の態様の一例について、図１９を参照して説明する。

【０１５４】

携帯端末である携帯電話装置は、画素部９１０２等を含む（図１９（Ａ）参照）。携帯端末である携帯型ゲーム装置は、画素部９８０１等を含む（図１９（Ｂ）参照）。デジタルビデオカメラは、画素部９７０１、９７０２等を含む（図１９（Ｃ）参照）。携帯情報端末であるＰＤＡ（personal digital assistant）は、画素部９２０１等を含む（図１９（Ｄ）参照）。テレビジョン装置は、画素部９３０１等を含む（図１９（Ｅ）参照）。モニター装置は、画素部９４０１等を含む（図１９（Ｆ）参照）。

。

【０１５５】

本発明は、携帯端末である携帯電話装置（携帯電話機、携帯電話ともよぶ）、ＰＤＡ、電子手帳及び携帯型ゲーム機や、テレビジョン装置（テレビ、テレビジョン受信機ともよぶ）、ディスプレイ（モニター装置ともよぶ）、デジタルカメラ、デジタルビデオカメラ、カーオーディオ等の音響再生装置、家庭用ゲーム機等の様々な電子機器に適用することができる。本実施の形態は、上記の実施の形態と自由に組み合わせることができる。

本実施例は、上記の実施の形態、実施例と自由に組み合わせることができる。

【図面の簡単な説明】

【０１５６】

【図１】 本発明の半導体装置を示す図。

【図２】 本発明の半導体装置を示す図。

【図３】 本発明の半導体装置を示す図。

【図４】 本発明の半導体装置を示す図。

【図５】 本発明の半導体装置を示す図。

【図６】 本発明の半導体装置を示す図。

【図７】 本発明の半導体装置を示す図。

【図８】 本発明の半導体装置を示す図。

【図９】 本発明の半導体装置を示す図。

【図１０】 本発明の半導体装置を示す図。

【図１１】 本発明の半導体装置を示す図。

【図１２】 本発明の半導体装置を示す図。

【図１３】 本発明の半導体装置を示す図。

【図１４】 本発明の半導体装置を示す図。

【図１５】 本発明の半導体装置を示す図。

【図１６】 本発明の半導体装置を示す図。

【図１７】 本発明の半導体装置を示す図。

【図１８】 電子機器を示す図。

【図１９】 電子機器を示す図。

【図２０】 半導体装置を示す図。

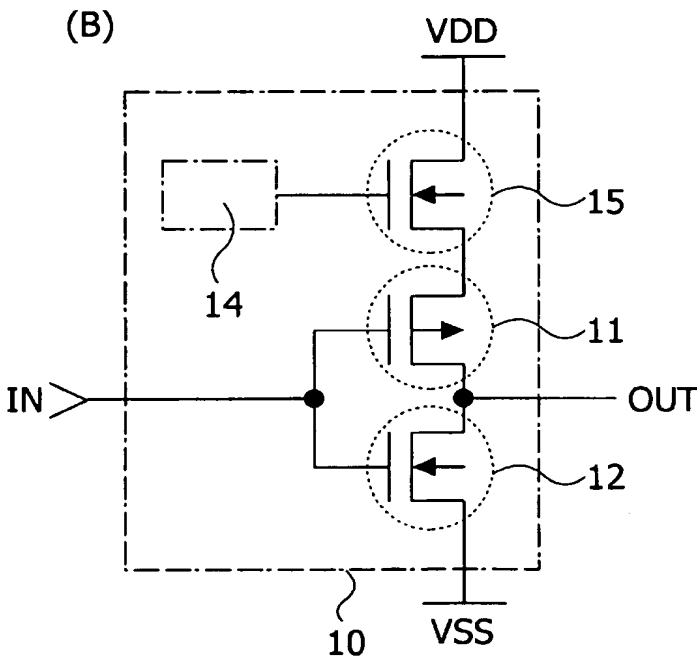
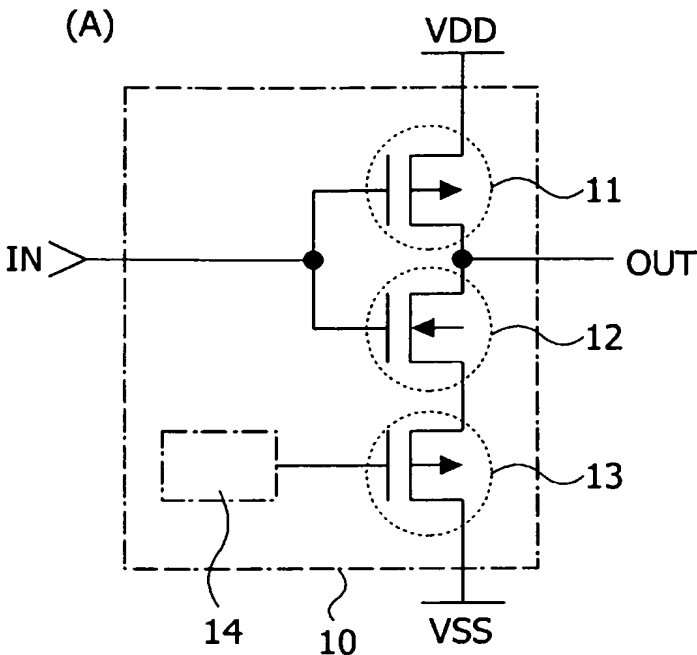
【図２１】 本発明の半導体装置を示す図。

【図 2 2】 本発明の半導体装置を示す図。

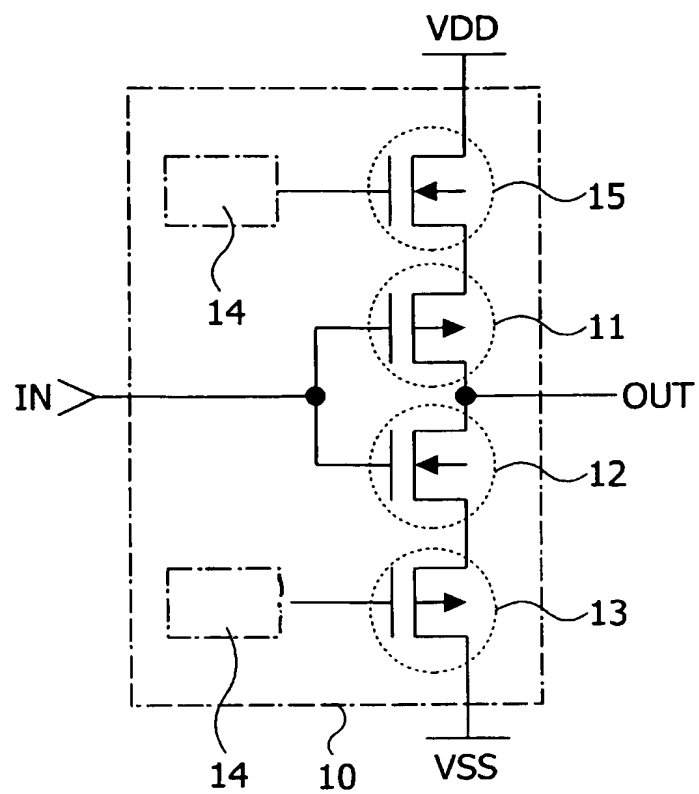
【符号の説明】

【 0 1 5 7 】

- 1 0 信号出力回路
- 1 1 ～ 1 3 トランジスタ
- 1 4 電位生成回路
- 1 5 トランジスタ
- 2 1 ～ 2 6 トランジスタ
- 3 1 ～ 3 4 トランジスタ
- 3 5 減算回路
- 3 6 、 3 7 トランジスタ
- 3 8 減算回路
- 5 1 、 5 2 スイッチ
- 5 3 、 5 4 容量素子
- 5 5 回路
- 5 6 、 5 7 抵抗素子
- 6 1 インバータ
- 1 0 1 ソースドライバ
- 1 0 2 パルス出力回路
- 1 0 3 、 1 0 4 ラッチ回路
- 1 0 5 バッファ回路
- 1 0 6 ゲートドライバ
- 1 0 7 パルス出力回路
- 1 0 8 バッファ回路
- 1 0 9 画素部
- 1 1 0 画素
- 1 1 1 発光素子
- 1 1 2 N型トランジスタ
- 1 1 3 P型トランジスタ
- 1 5 2 モニター部
- 1 5 3 バッファアンプ
- 1 5 4 定電流源
- 1 5 7 モニター用発光素子
- 1 5 8 リミッタ用トランジスタ

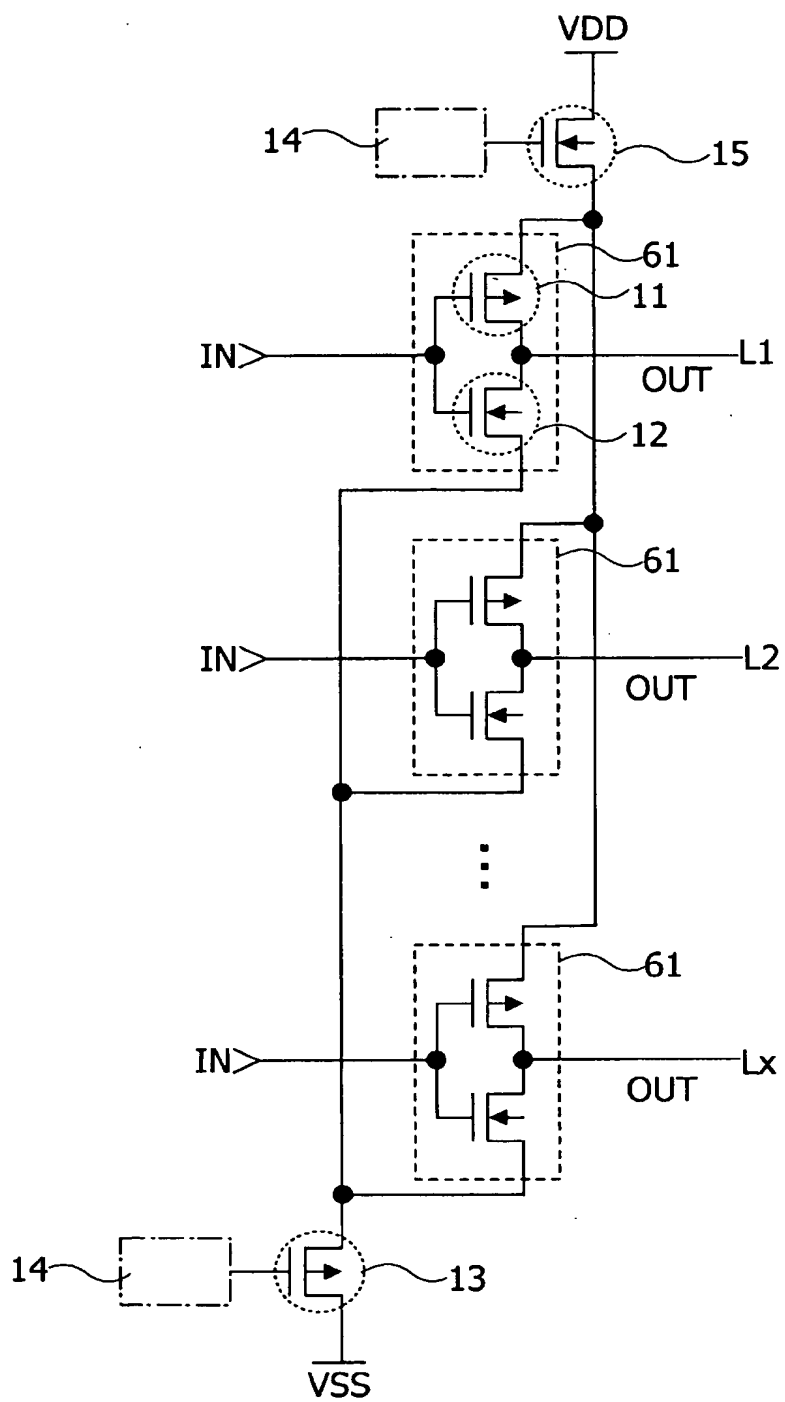


【圖 2】

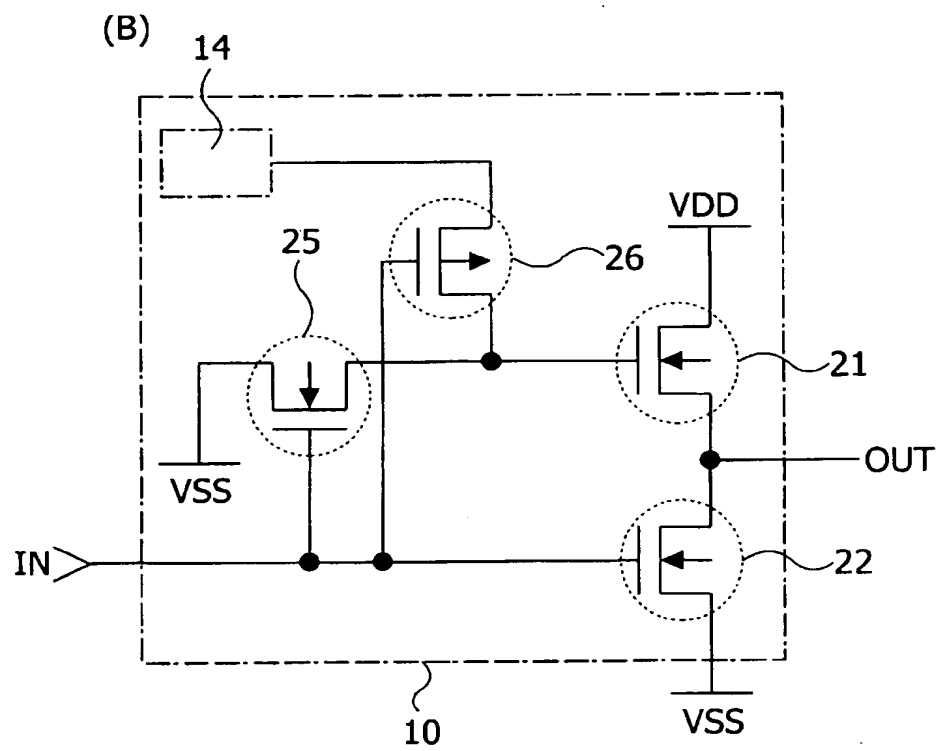
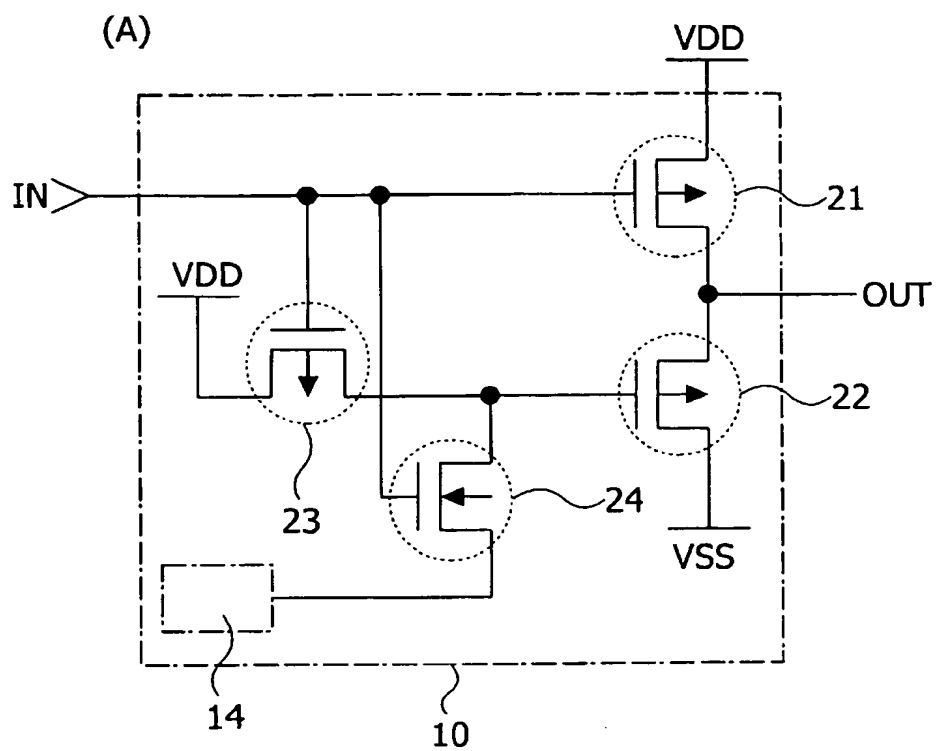




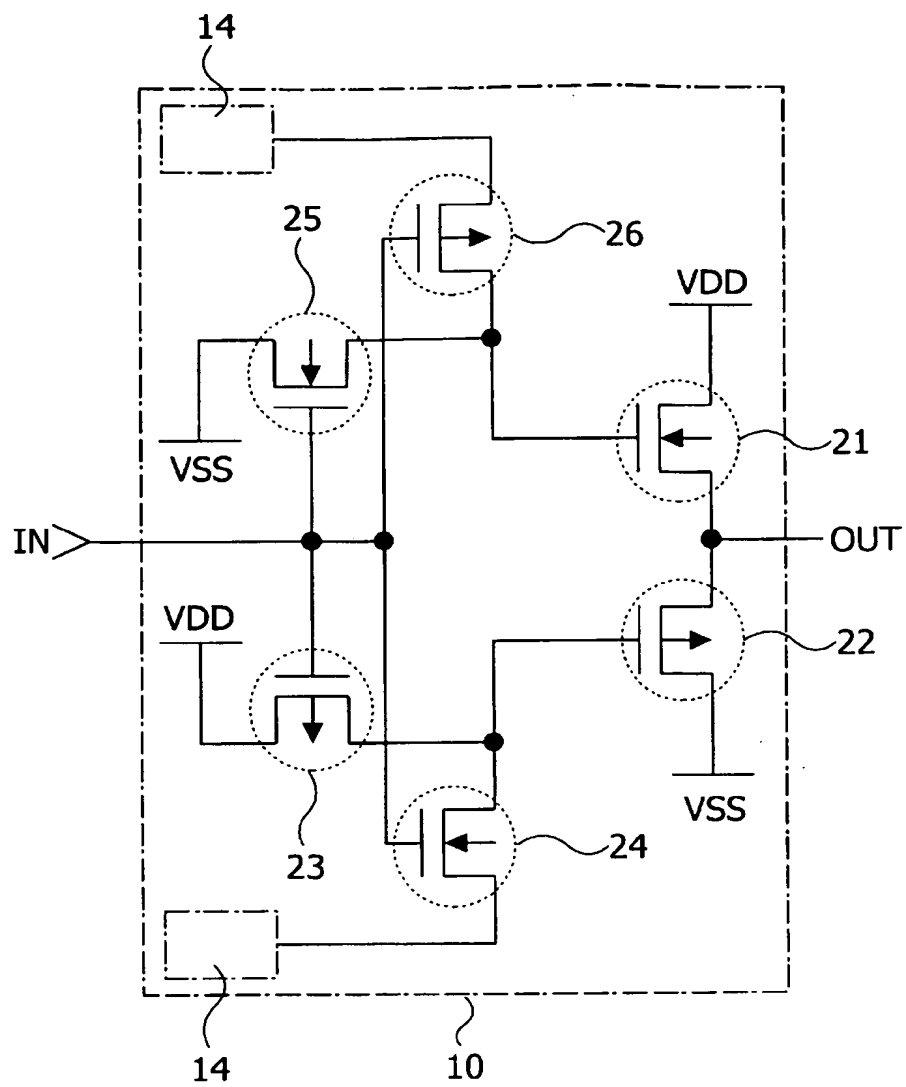
【圖 3】



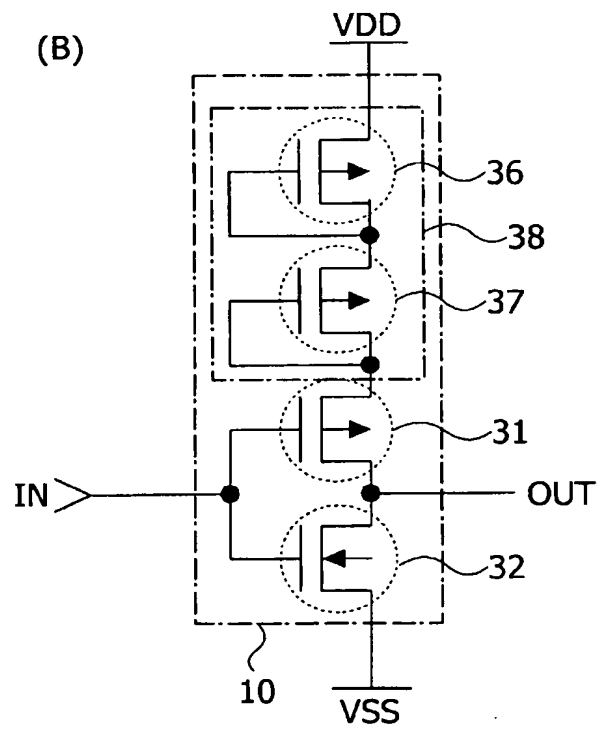
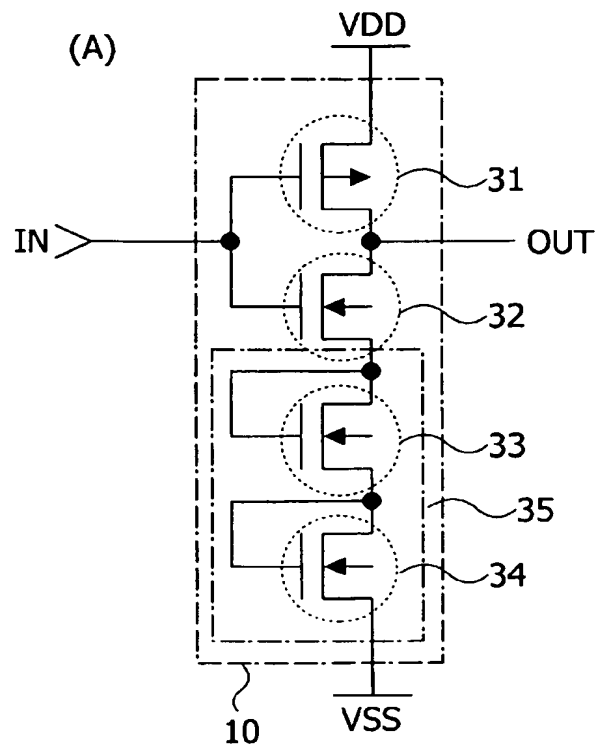
【図 4】



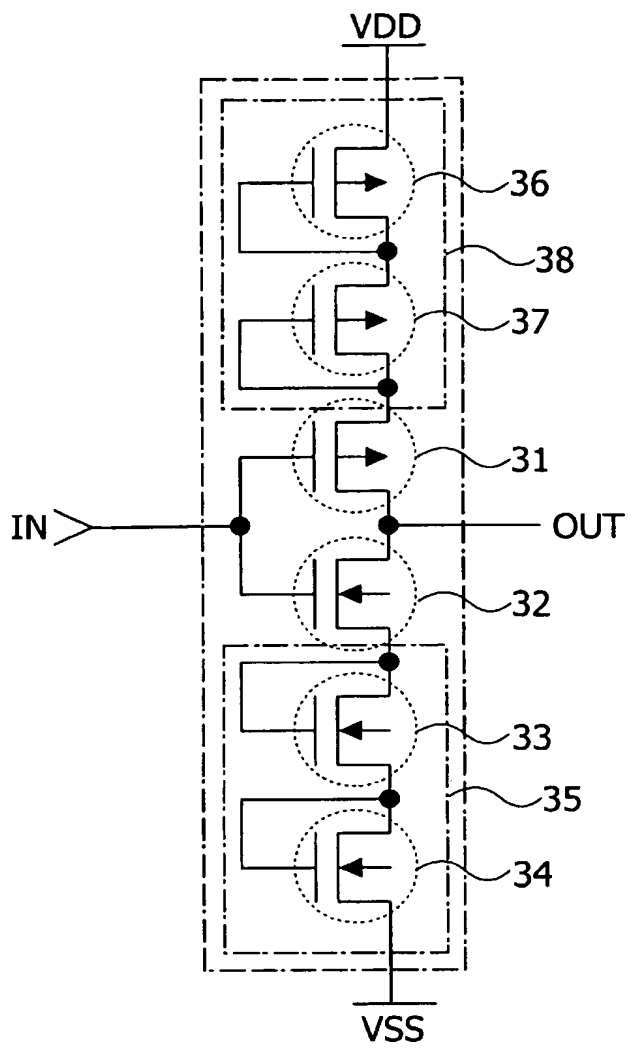
【図 5】



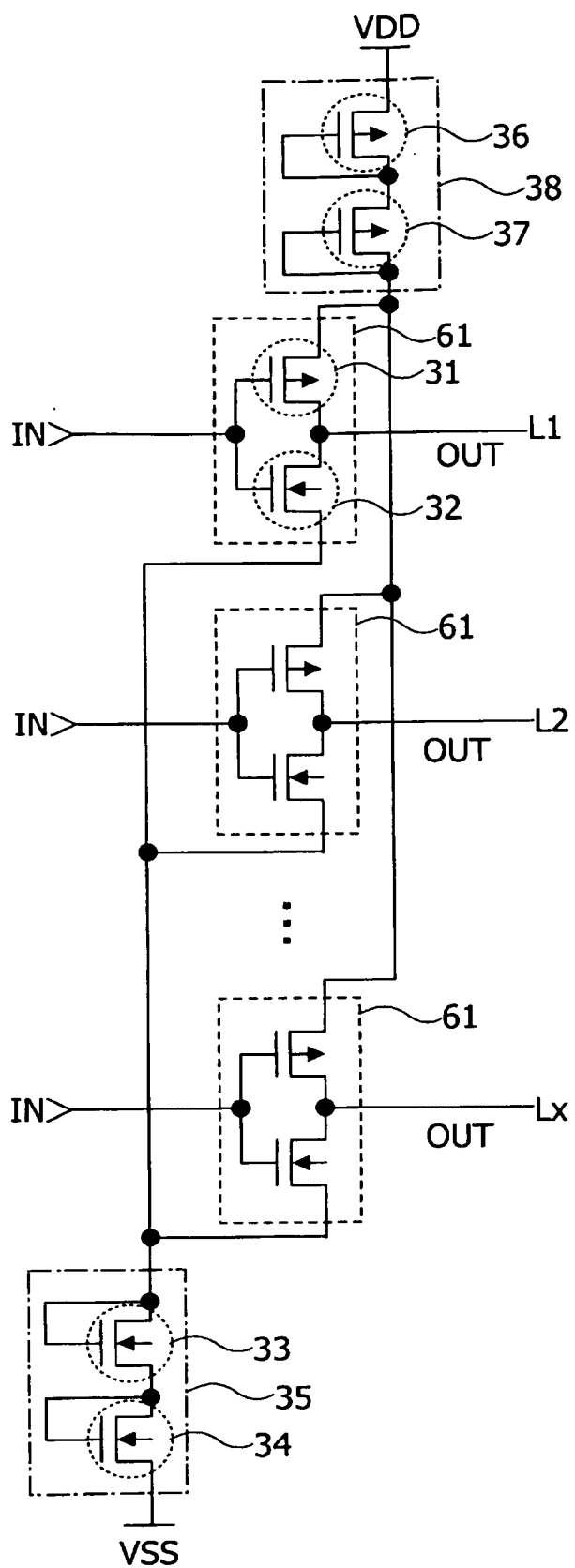
【図 6】



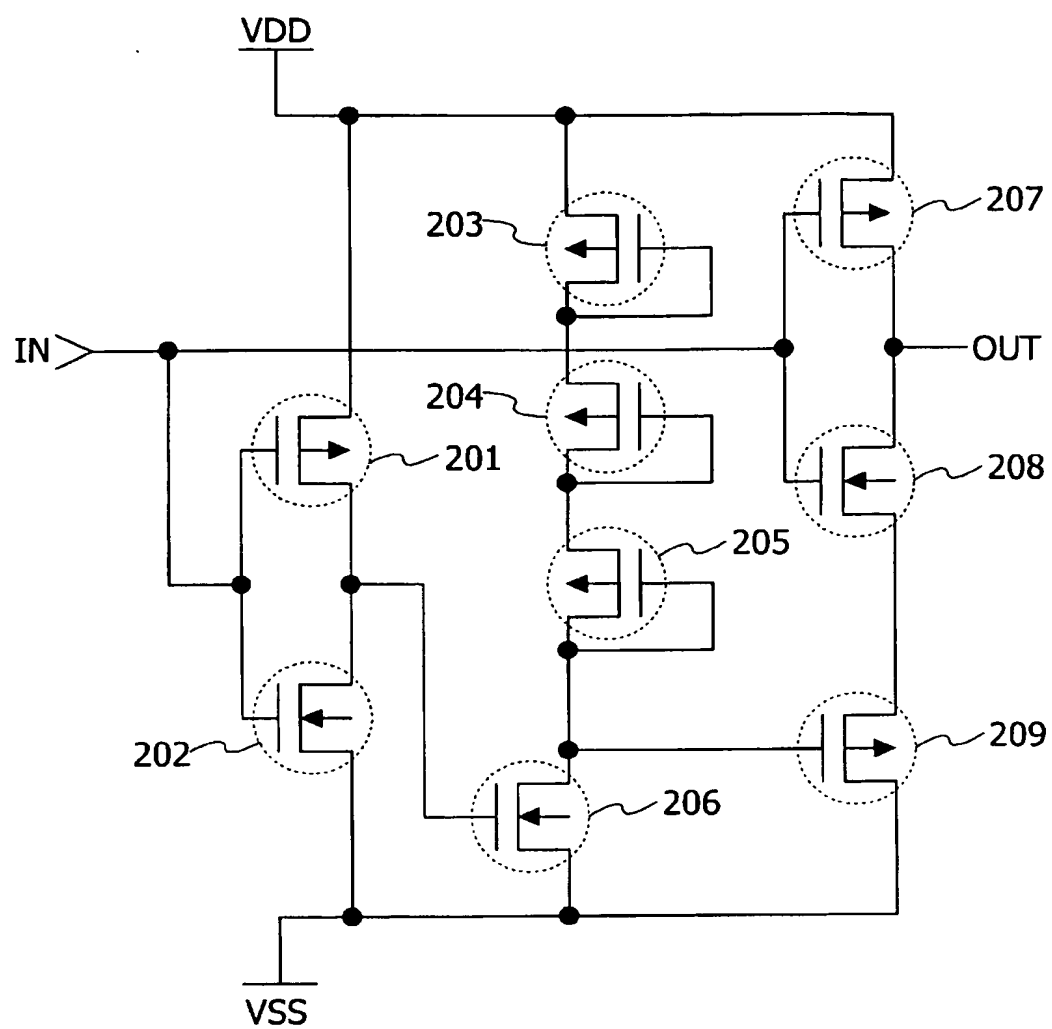
【图 7】



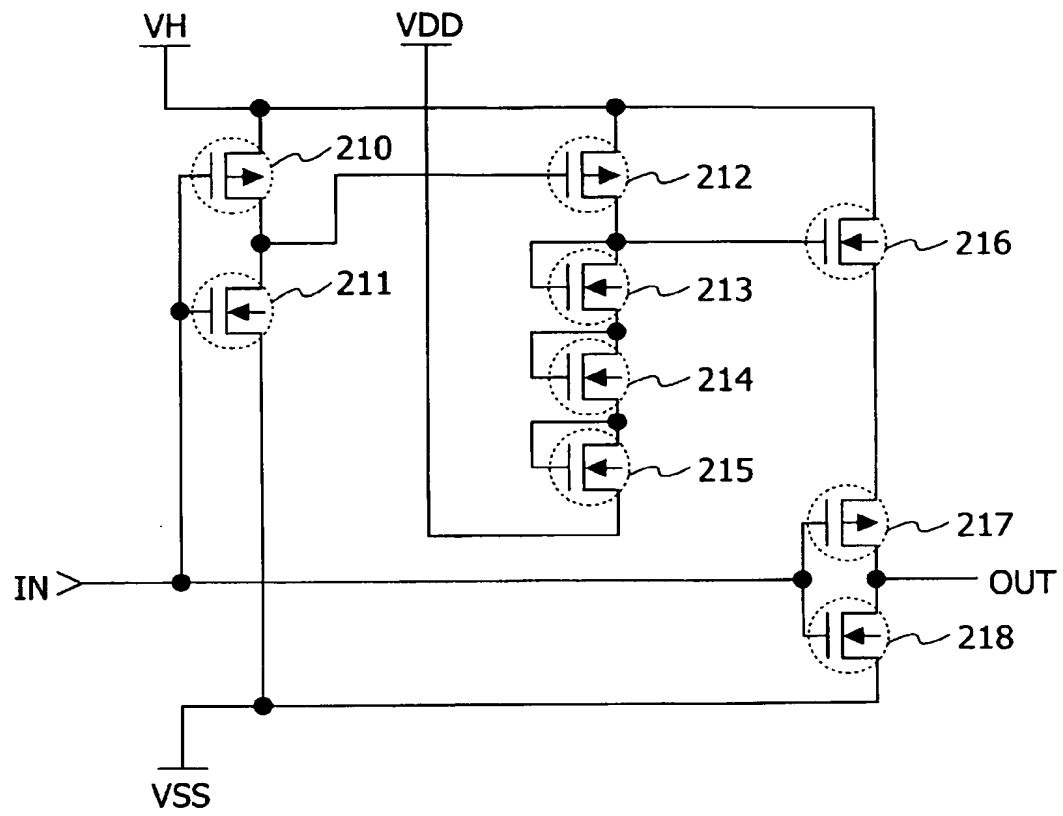
【図 8】



【图 9】

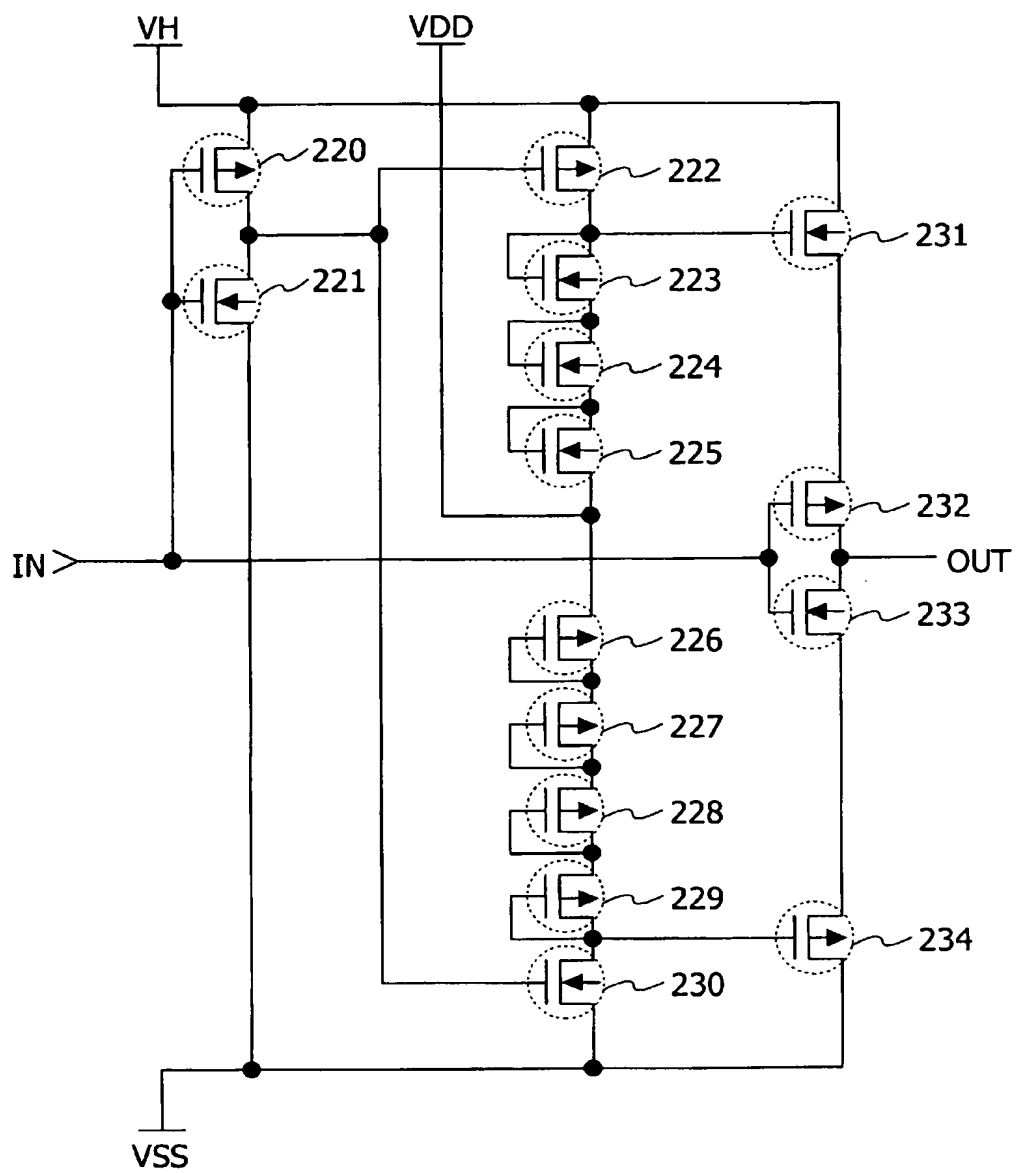


【图 10】

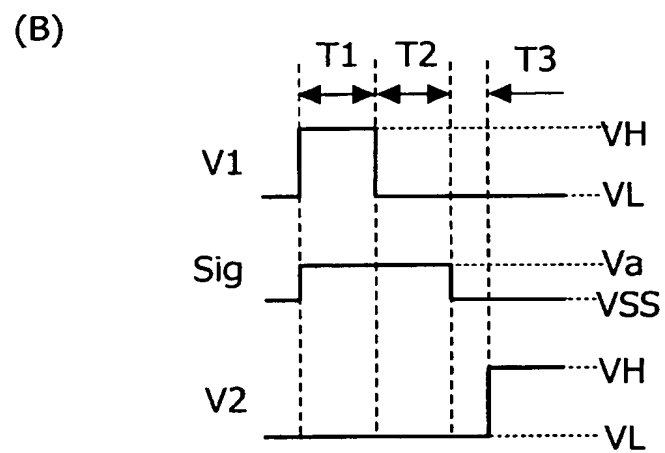
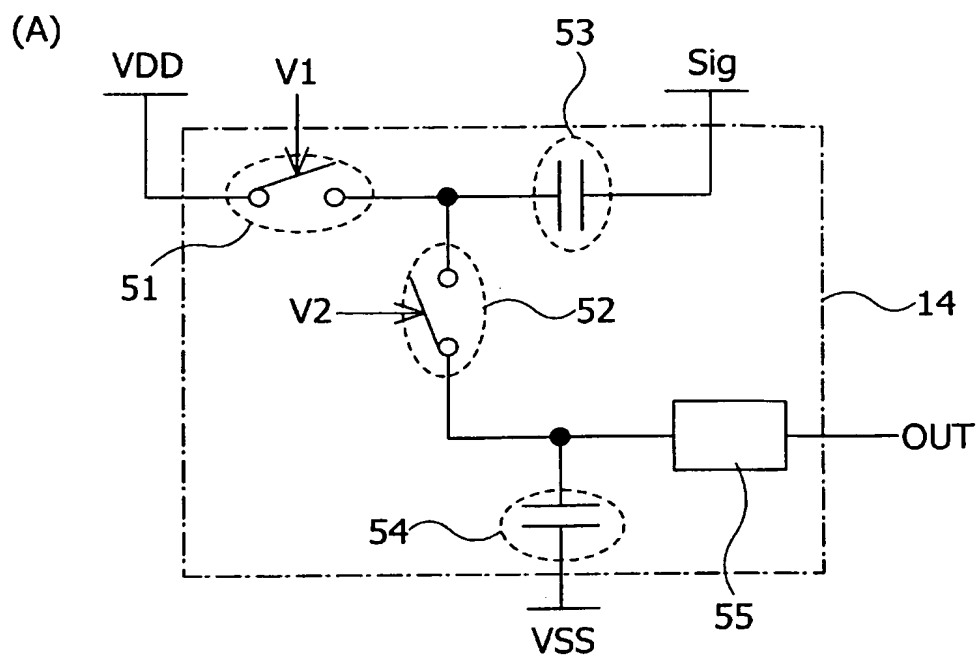




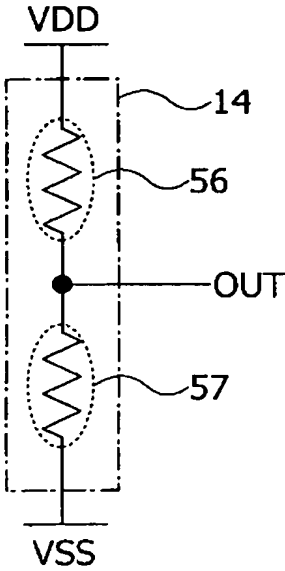
【图 1-1】

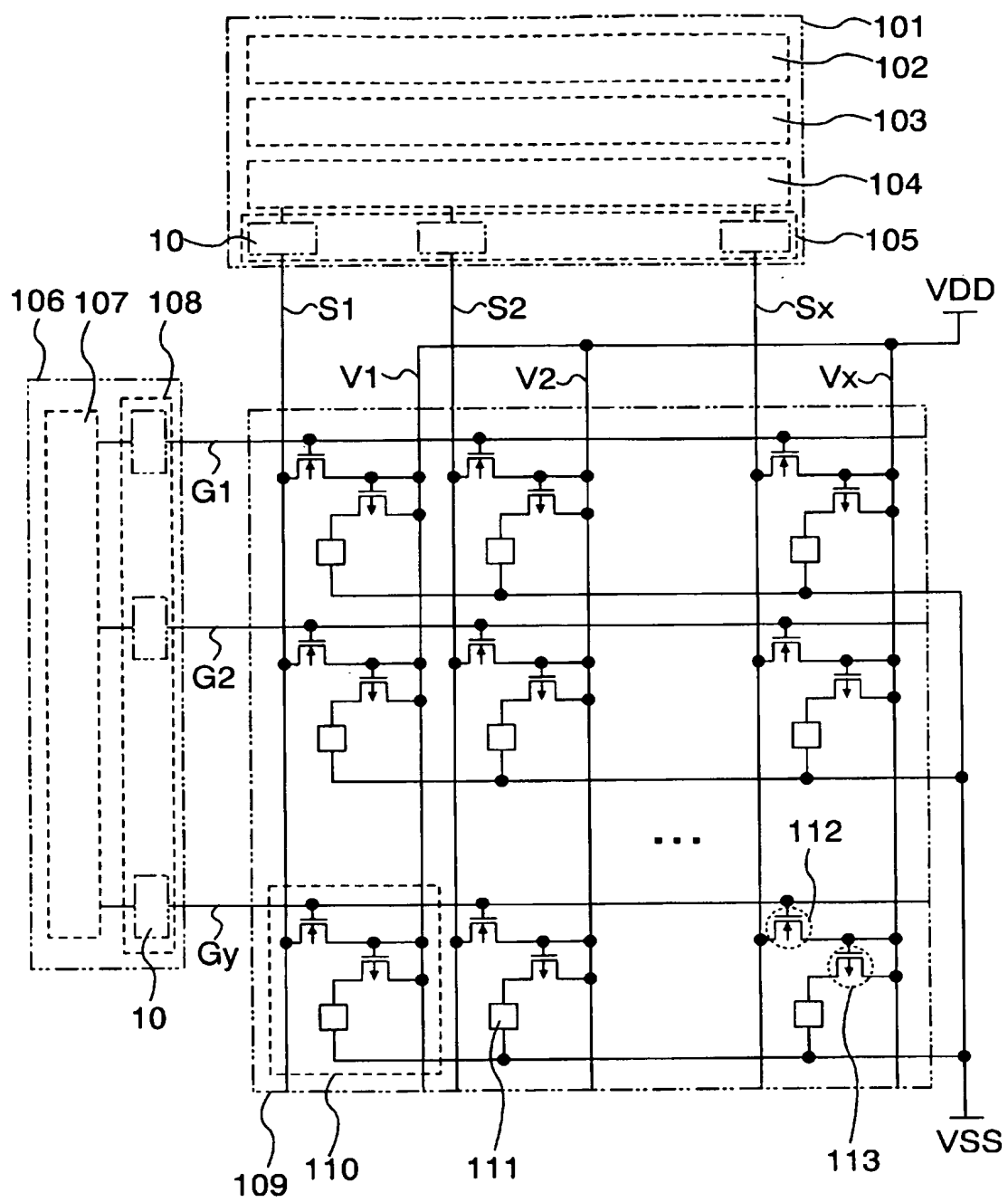


【图 1 2】

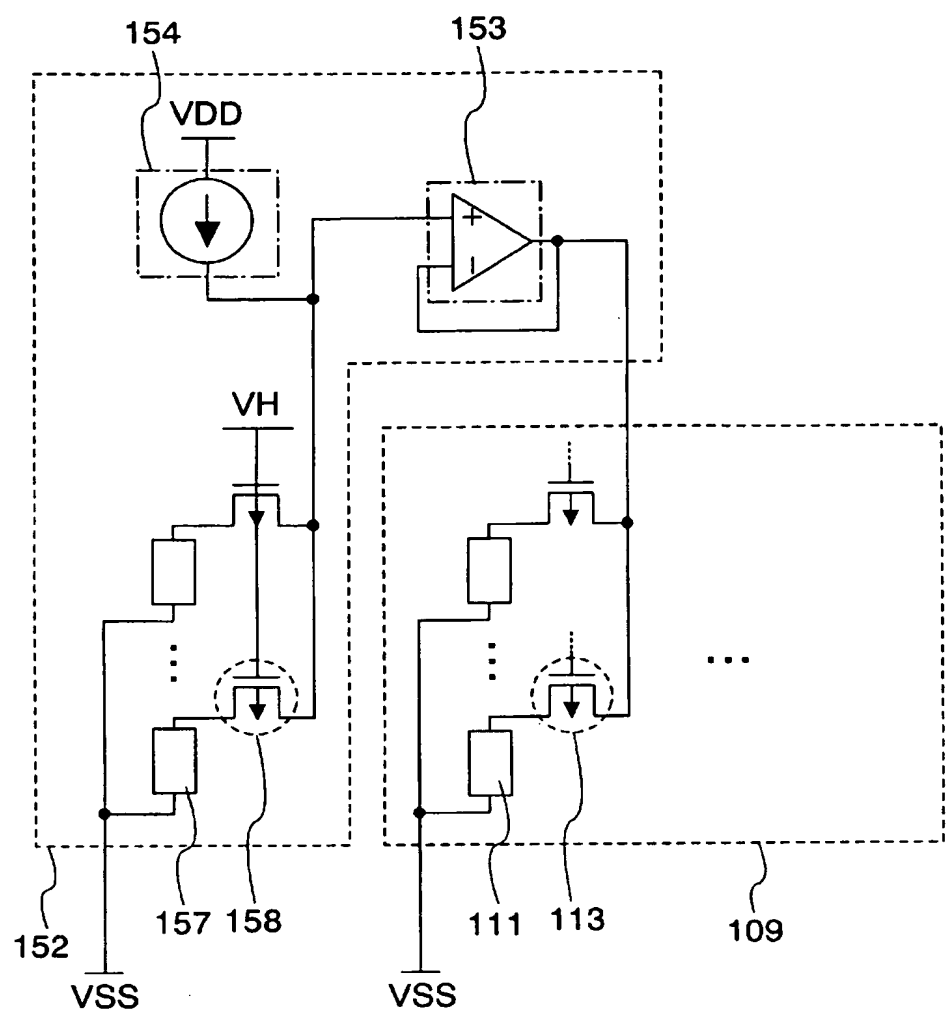


【图 1 3】

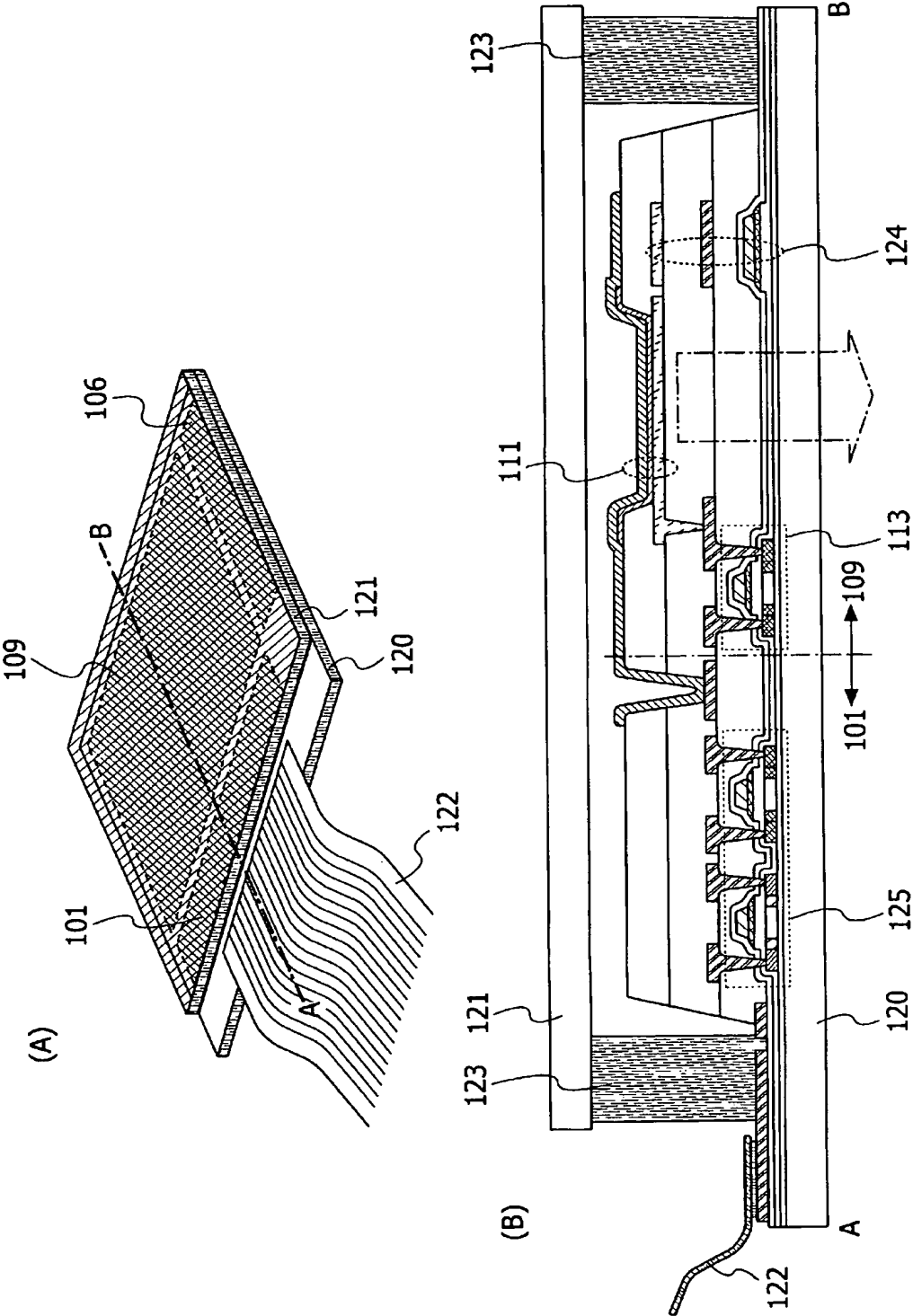




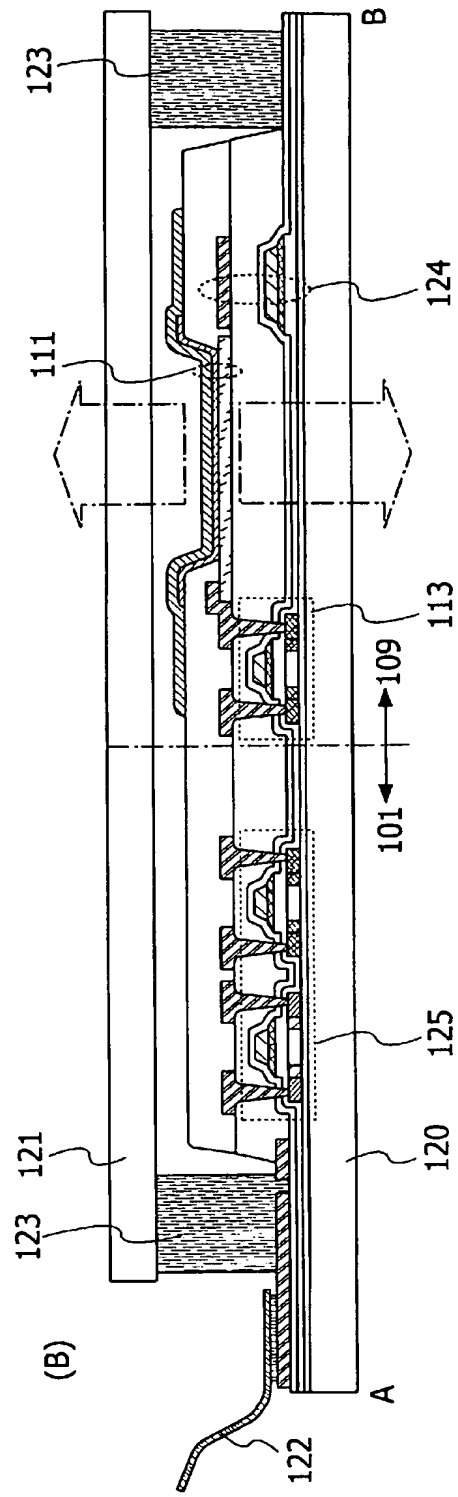
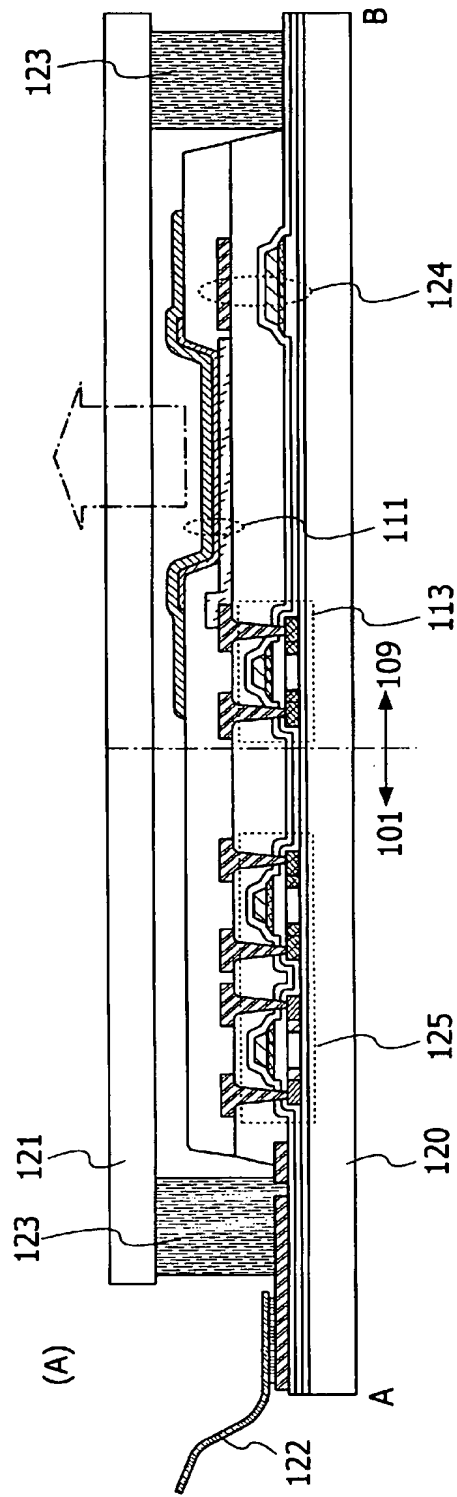
【図 15】



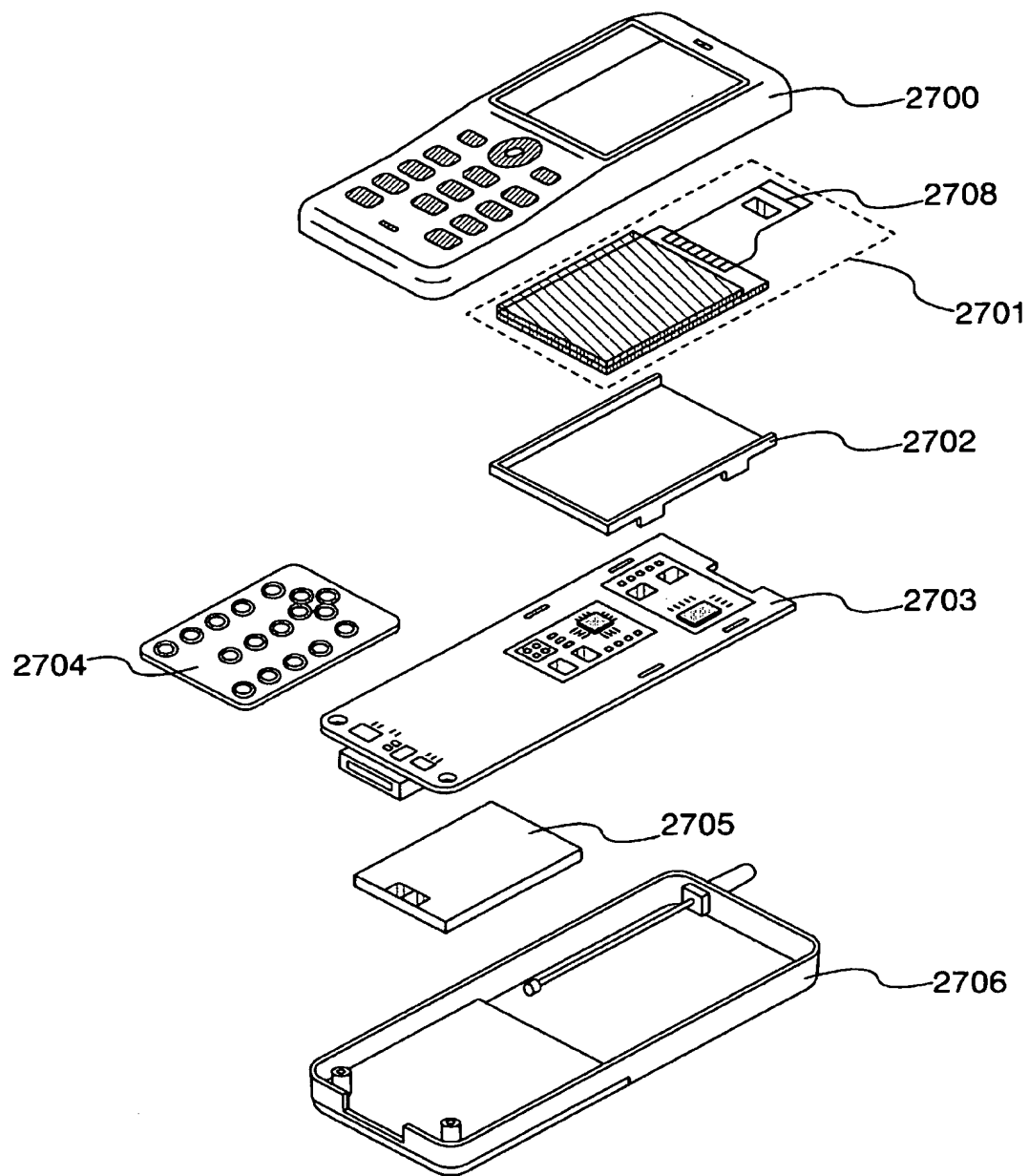
【图 16】



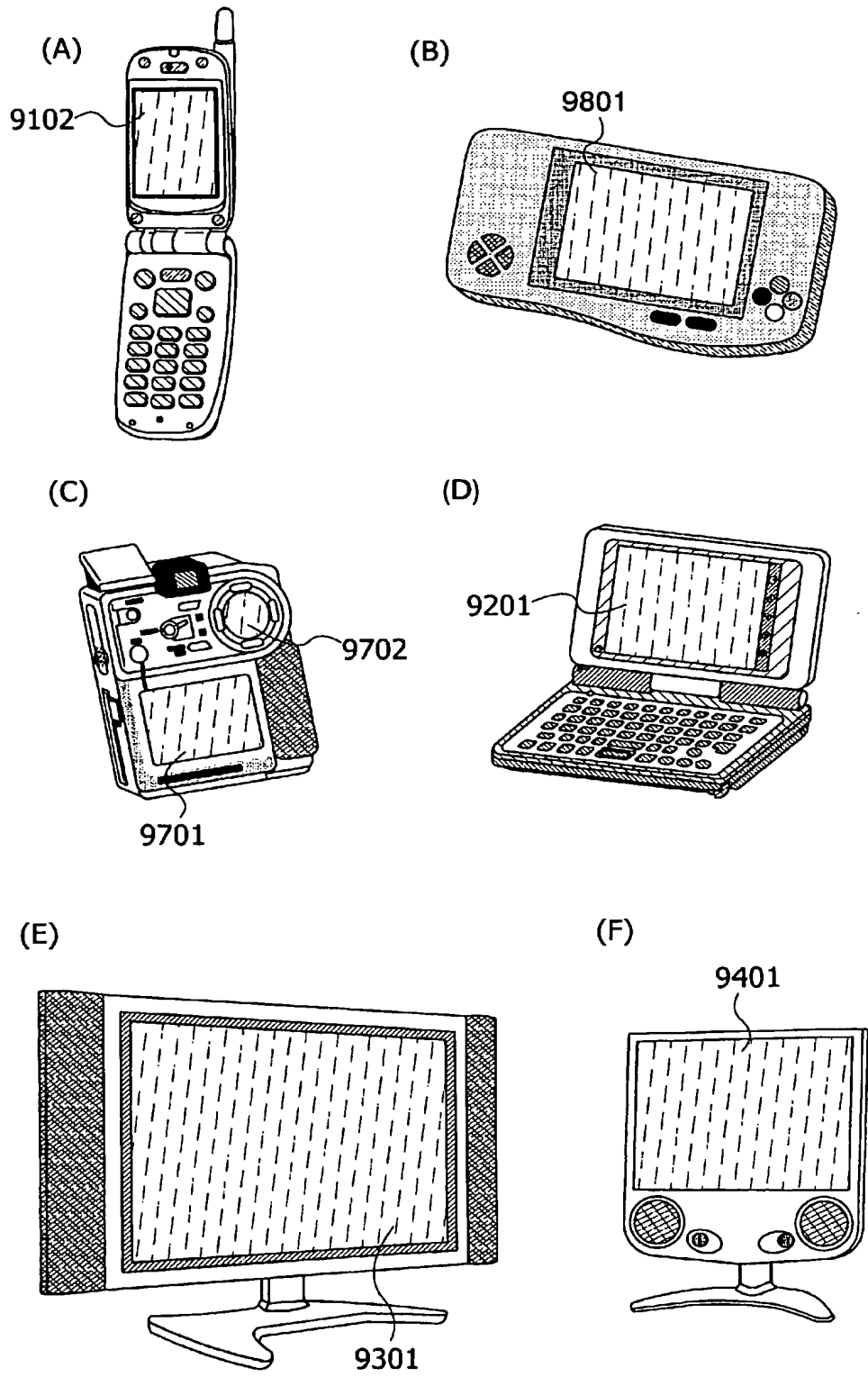
【図 17】

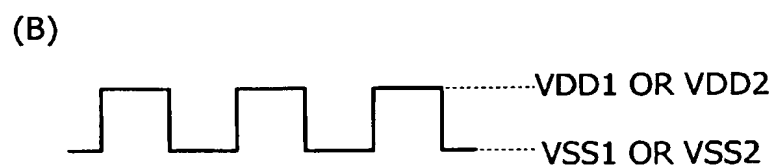
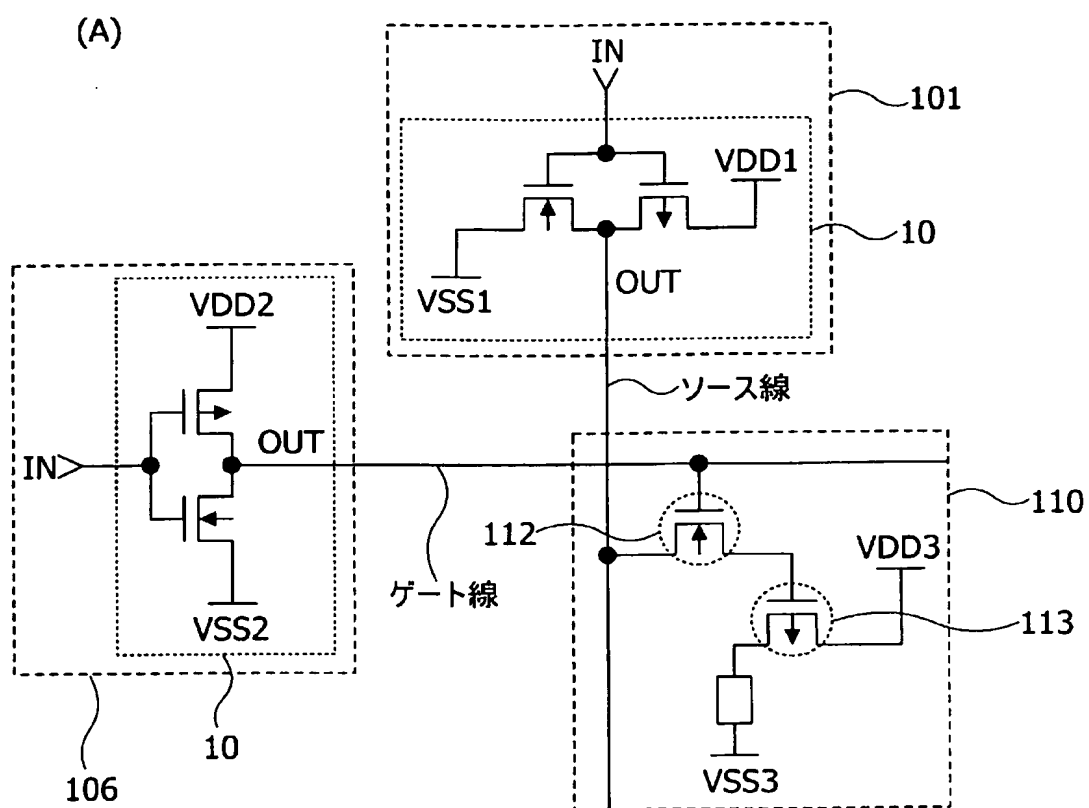


【图 18】

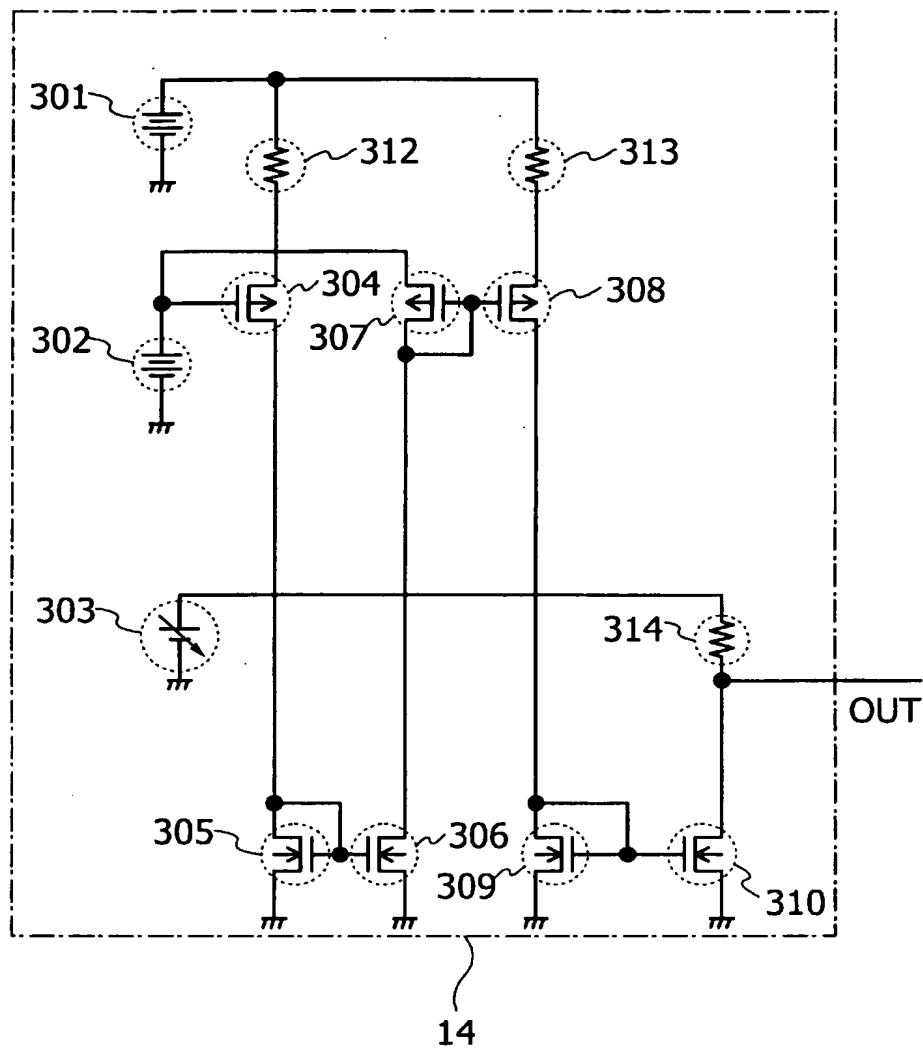


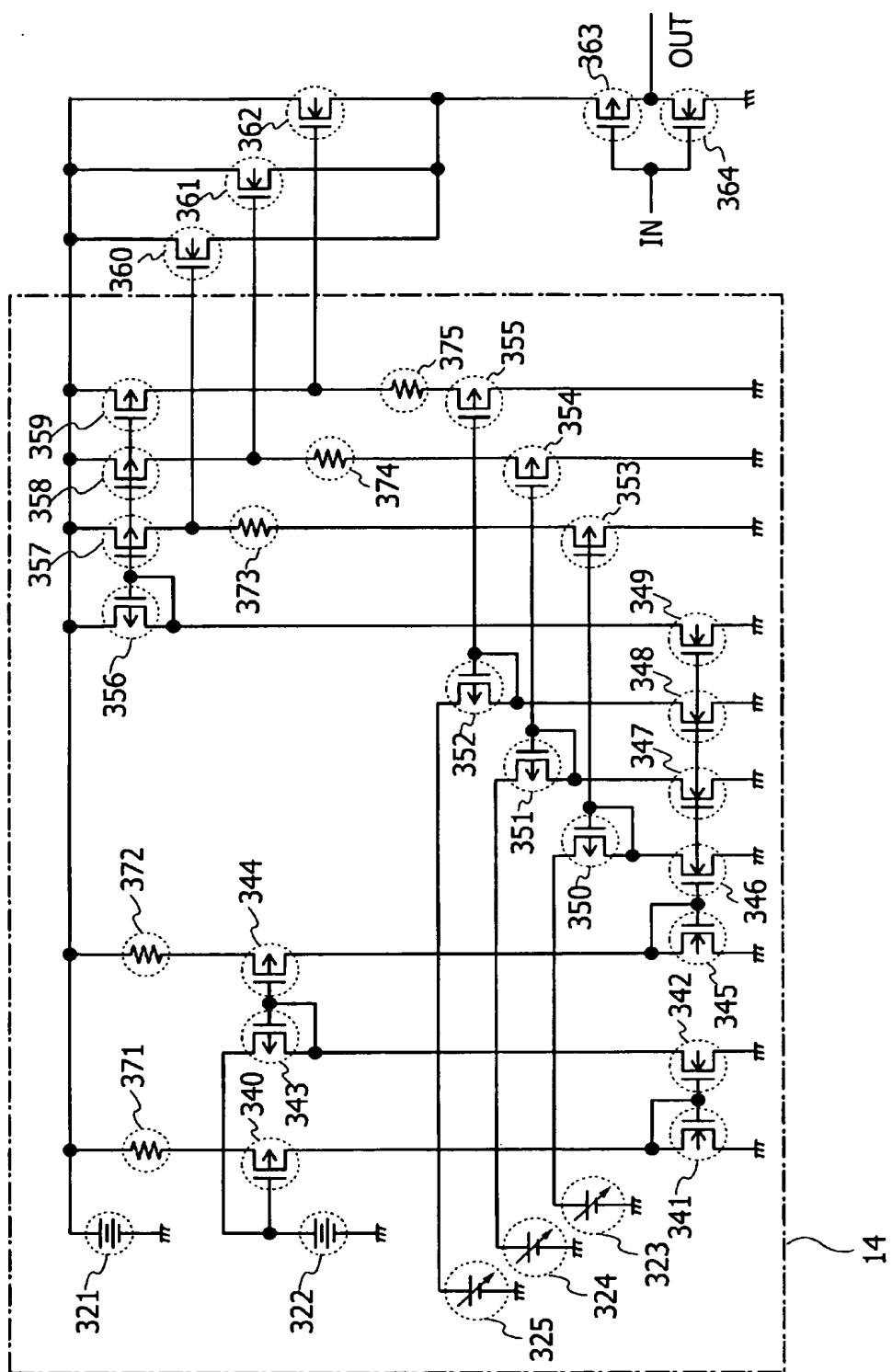






【圖 2 1】





【書類名】 要約書

【要約】

【課題】 消費電力を低減することができる半導体装置を提供することを課題とする。

【解決手段】 本発明の半導体装置は、高電位電源と低電位電源から電位が供給されており、なおかつ、入力ノードと出力ノードを有し、入力ノードに信号が入力されると、出力ノードから第1の電位の信号と第2の電位の信号を出力する。本発明は、第1の電位の信号と第2の電位の信号の電位差を、高電位電源と低電位電源の電位差よりも小さくすることにより、消費電力を低減する。

【選択図】 図1

出願人履歴

0 0 0 1 5 3 8 7 8

19900817

新規登録

神奈川県厚木市長谷398番地

株式会社半導体エネルギー研究所

# PATENT COOPERATION TREATY

# PCT

## INTERNATIONAL PRELIMINARY REPORT ON PATENTABILITY

(Chapter I of the Patent Cooperation Treaty)

(PCT Rule 44bis)

Applicant's or agent's file reference 00000PCT8428	<b>FOR FURTHER ACTION</b>	See item 4 below
International application No. PCT/JP2005/022901	International filing date ( <i>day/month/year</i> ) 07 December 2005 (07.12.2005)	Priority date ( <i>day/month/year</i> ) 13 December 2004 (13.12.2004)
International Patent Classification (8th edition unless older edition indicated) See relevant information in Form PCT/ISA/237		
Applicant SEMICONDUCTOR ENERGY LABORATORY CO., LTD.		

1. This international preliminary report on patentability (Chapter I) is issued by the International Bureau on behalf of the International Searching Authority under Rule 44 bis.1(a).

2. This REPORT consists of a total of 4 sheets, including this cover sheet.

In the attached sheets, any reference to the written opinion of the International Searching Authority should be read as a reference to the international preliminary report on patentability (Chapter I) instead.

3. This report contains indications relating to the following items:

- |                                     |              |   |
|-------------------------------------|--------------|---|
| <input checked="" type="checkbox"/> | Box No. I    | Basis of the report   |
| <input type="checkbox"/>            | Box No. II   | Priority  |
| <input type="checkbox"/>            | Box No. III  | Non-establishment of opinion with regard to novelty, inventive step and industrial applicability  |
| <input type="checkbox"/>            | Box No. IV   | Lack of unity of invention  |
| <input checked="" type="checkbox"/> | Box No. V    | Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement |
| <input type="checkbox"/>            | Box No. VI   | Certain documents cited   |
| <input type="checkbox"/>            | Box No. VII  | Certain defects in the international application  |
| <input type="checkbox"/>            | Box No. VIII | Certain observations on the international application   |

4. The International Bureau will communicate this report to designated Offices in accordance with Rules 44bis.3(c) and 93bis.1 but not, except where the applicant makes an express request under Article 23(2), before the expiration of 30 months from the priority date (Rule 44bis .2).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland  Facsimile No. +41 22 338 82 70	Date of issuance of this report 13 June 2007 (13.06.2007)  Authorized officer  <p style="text-align: center; font-weight: bold;">Yoshiko Kuwahara</p> e-mail: pt07.pct@wipo.int
---	--

# PATENT COOPERATION TREATY

From the  
INTERNATIONAL SEARCHING AUTHORITY

REC'D 23 FEB 2006

WIPO

PCT

To:  
SEMICONDUCTOR ENERGY LABORATORY  
CO., LTD.

398, Hase, Atsugi -shi, Kanagawa  
2430036 Japan

## PCT

WRITTEN OPINION OF THE  
INTERNATIONAL SEARCHING AUTHORITY  
(PCT Rule 43bis.1)

Date of mailing (day/month/year)	21.02.2006
-------------------------------------	------------

Applicant's or agent's file reference 00000PCT8428	FOR FURTHER ACTION See paragraph 2 below
---	---

International application No. PCT/JP2005/022901	International filing date (day/month/year) 07.12.2005	Priority date (day/month/year) 13.12.2004
--	--	--

International Patent Classification (IPC) or both national classification and IPC  
Int.Cl. *H03K19/0175 (2006.01)*

Applicant  
SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

1. This opinion contains indications relating to the following items:

- ☒ Box No. I Basis of the opinion
- ☐ Box No. II Priority
- ☐ Box No. III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- ☐ Box No. IV Lack of unity of invention
- ☒ Box No. V Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- ☐ Box No. VI Certain documents cited
- ☐ Box No. VII Certain defects in the international application
- ☐ Box No. VIII Certain observations on the international application

2. FURTHER ACTION

If a demand for international preliminary examination is made, this opinion will be considered to be a written opinion of the International Preliminary Examining Authority ("IPEA") except that this does not apply where the applicant chooses an Authority other than this one to be the IPEA and the chosen IPEA has notified the International Bureau under Rule 66.1bis(b) that written opinions of this International Searching Authority will not be so considered.

If this opinion is, as provided above, considered to be a written opinion of the IPEA, the applicant is invited to submit to the IPEA a written reply together, where appropriate, with amendments, before the expiration of 3 months from the date of mailing of Form PCT/ISA/220 or before the expiration of 22 months from the priority date, whichever expires later.

For further options, see Form PCT/ISA/220.

3. For further details, see notes to Form PCT/ISA/220.

Date of completion of this opinion	09.02.2006
------------------------------------	------------

Name and mailing address of the ISA/JP	Authorized officer	5X 8523
--	--------------------	---------

**Japan Patent Office**

3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan

**MIYAJIMA Ikumi**

Telephone No. +81-3-3581-1101 Ext. 3596



WRITTEN OPINION OF THE  
INTERNATIONAL SEARCHING AUTHORITY

International application No.

PCT/JP2005/022901

Box No. I      Basis of the opinion

1. With regard to the **language**, this opinion has been established on the basis of:
  - ☒ the international application in the language in which it was filed
  - ☐ a translation of the international application into \_\_\_\_\_, which is the language of a translation furnished for the purposes of international search (Rules 12.3(a) and 23.1(b)).
2. With regard to any **nucleotide and/or amino acid sequence** disclosed in the international application and necessary to the claimed invention, this opinion has been established on the basis of:
  - a. type of material
    - ☐ a sequence listing
    - ☐ table(s) related to the sequence listing
  - b. format of material
    - ☐ on paper
    - ☐ in electronic form
  - c. time of filing/furnishing
    - ☐ contained in the international application as filed
    - ☐ filed together with the international application in electronic form
    - ☐ furnished subsequently to this Authority for the purposes of search
3. ☐ In addition, in the case that more than one version or copy of a sequence listing and/or table(s) relating thereto has been filed or furnished, the required statements that the information in the subsequent or additional copies is identical to that in the application as filed or does not go beyond the application as filed, as appropriate, were furnished.
4. Additional comments:

**WRITTEN OPINION OF THE  
INTERNATIONAL SEARCHING AUTHORITY**

International application No.

PCT/JP2005/022901

**Box No. V** Reasoned statement under Rule 43bis.1(a)(i) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

**1. Statement**

Novelty (N)	Claims	<u>6, 19</u>	YES
	Claims	<u>1-5, 7-18, 20, 21</u>	NO
Inventive step (IS)	Claims	<u>none</u>	YES
	Claims	<u>1-21</u>	NO
Industrial applicability (IA)	Claims	<u>1-21</u>	YES
	Claims	<u></u>	NO

**2. Citations and explanations:**

D1:JP 8-107345 A(FUJITSU LIMITED),1996.04.23,Figs.1,2,4  
D2:JP 11-163715 A(SIEMENS AKTIENGESELLSCHAFT),1999.06.18, Fig.6  
D3:JP 2000-40366 A(Hitachi, Ltd.),2000.02.08,Figs.9,11,15,34  
D4:JP 2004-159197 A(MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.),  
2004.06.03, Fig.1  
D5:JP 58-64828 A(KABUSHIKI KAISHA TOSHIBA),1983.04.18,Figs.4,5  
D6:JP 58-162130 A(Ok Electric Industry Co., Ltd.),1983.09.26, Fig.2  
D7:JP 62-125713 A(KABUSHIKI KAISHA TOSHIBA),1987.06.08, Fig.2  
D8:JP 4-236516 A(SONY CORPORATION),1992.08.25, Fig.1

The subject matter of claims 1-4 does not meet the requirement of novelty with respect to D1(see [ Figs. 1, 2, and 4] ).

The subject matter of claims 5,6 does not meet the requirement of novelty with respect to either of D2-D4 (see [ Fig. 6 of D2, Fig. 11 of D3, and Fig. 1 of D4] ).

The subject matter of claims 7-12 does not meet the requirement of novelty with respect to D3(see [ Figs. 9 and 15] ).

The subject matter of claims 13-18 does not meet the requirement of novelty with respect to either of D5-D8(see [ Figs. 4 and 5 of D5, Fig. 2 of D6, Fig. 2 of D7 and Fig. 1 of D8] ).

The subject matter of claims 19,20 does not meet the requirement of novelty with respect to D3 or D4(see [ Fig. 34 of D3, Fig. 1 of D4] ).

The subject matter of claim 21 does not meet the requirement of novelty with respect to either of the D1-D8.